

**SULIT**



**KEMENTERIAN PENDIDIKAN TINGGI  
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI**

**BAHAGIAN PEPERIKSAAN DAN PENILAIAN  
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI  
KEMENTERIAN PENDIDIKAN TINGGI**

**JABATAN KEJURUTERAAN ELEKTRIK**

**PEPERIKSAAN AKHIR**

**SESI I : 2025/2026**

**DEE20153: DIGITAL ELECTRONICS**

**TARIKH : 10 DISEMBER 2025**

**MASA : 8.30 PAGI – 10.30 PAGI (2 JAM)**

---

Kertas soalan ini mengandungi **TUJUH (7)** halaman bercetak.

Bahagian A: Struktur (4 soalan)

Bahagian B: Esei (1 soalan)

Dokumen sokongan yang disertakan : Tiada

---

**JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN**

(CLO yang tertera hanya sebagai rujukan)

**SULIT**

**SECTION A : 80 MARKS**  
**BAHAGIAN A : 80 MARKAH**

**INSTRUCTION:**

This section consists of **FOUR (4)** structured questions.

**ARAHAN :**

*Bahagian ini mengandungi EMPAT (4) soalan berstruktur. Jawab semua soalan.*

**QUESTION 1**

**SOALAN 1**

- CLO1 (a) Describe binary number system in electronic and digital system.  
*Jelaskan sistem nombor perduaan dalam sistem elektronik dan digital.*
- [4 marks]  
[4 markah]
- CLO1 (b) Convert  $53.76_8$  to binary and hexadecimal number system.  
*Tukarkan  $53.76_8$  kepada sistem nombor perduaan dan perenambelasan.*
- [6 marks]  
[6 markah]
- CLO1 (c) Solve the 8-bits addition of the decimal number below using 2's complement.  
*Selesaikan penambahan 8-bit bagi nombor persepuluhan di bawah menggunakan pelengkap dua.*
- 28 + (-13)**
- [10 marks]  
[10 markah]

## QUESTION 2

## SOALAN 2

- CLO1 (a) Give **TWO (2)** types of SR flip-flop complete with the characteristics  
*Berikan DUA (2) jenis SR flip-flop lengkap dengan ciri-cirinya..*

[4 marks]

[4 markah]

- CLO1 (b) Fill in the D flip-flop outputs in Table A2(b).  
*Isikan keluaran bagi D flip-flop dalam Jadual A2(b).*

Table A2(b) / Jadual A2(b)

Input D	Before Clock		After Clock		Output State
	$Q_n$	$\overline{Q_n}$	$Q_{n+1}$	$\overline{Q_{n+1}}$	
0	1	0		1	
1		1	1	0	
1	1	0		0	
0	1	0	0		

[6 marks]

[6 markah]

- CLO1 (c) Derive the simplified Boolean Expression by using Boolean Algebra Law from the equation below.

*Terbitkan Persamaan Boolean yang dipermudahkan daripada persamaan di bawah dengan menggunakan Hukum Boolean Algebra.*

$$Y = \overline{(AB + CD)(\overline{A} + C)} + \overline{A}BC + ABC$$

[10 marks]

[10 markah]

**QUESTION 3****SOALAN 3**

CLO1

- (a) Fullfill all the output states in Table A3(a).  
*Penuhi semua keadaan keluaran bagi jadual A3(a).*

*Table A3(a) / Jadual A3(a)*

CLK	S	R	Q	$\bar{Q}$	Output state
1	1	0	1	0	
0	0	1	1	0	
1	0	1	0	1	
1	0	0	0	1	

[4 marks]

[4 markah]

CLO1

- (b) Compare asynchronous and synchronous counters in terms of circuit design, propagation delay and counting sequence.  
*Bandingkan pembilang tak segerak dan pembilang segerak dari segi rekabentuk litar, lengah perambatan dan jujukan membilang.*

[6 marks]

[6 markah]

CLO1

- (c) Construct an asynchronous Mod-6 UP counter using JK flip-flops with negative-edge-triggered clock input. Your answer should include the number of flip-flops required, the maximum decimal number, the state diagram and the circuit diagram.  
*Binakan pembilang atas tak segerak Mod-6 menggunakan JK flip flop dengan masukan jam picuan pinggir negatif. Jawapan anda hendaklah merangkumi bilangan flip-flop yang diperlukan, nilai perpuluhan maksimum, rajah keadaan dan rajah litar.*

[10 marks]

[10 markah]

**QUESTION 4****SOALAN 4**

CLO1

- (a) Shift registers can be used to perform arithmetic operations by shifting binary numbers in the appropriate direction. Fill in Table A4a(i) and Table A4a(ii) according to the given arithmetic operations.

*Daftar anjak boleh digunakan untuk melaksanakan operasi aritmetik dengan mengalihkan nombor binari ke arah yang sesuai. Lengkapkan Jadual A4a(i) dan Jadual A4a(ii) mengikut operasi aritmetik yang diberikan.*

Table A4a(i): Division by 2

	Q3	Q2	Q1	Q0
Before shift	0	1	0	1
After shift				

Table A4a(ii): Multiplication by 2

	Q3	Q2	Q1	Q0
Before shift				
After shift	0	1	1	0

[4 marks]

[4 markah]

CLO1

- (b) If the output frequency( $f_{out}$ ) of a 4-bits asynchronous counter is 50kHz. Locate the value of input frequency ( $f_{in}$ ) of the counter and output frequency ( $f_{out}$ ) for second flip-flip.

*Jika nilai frequency keluaran ( $f_{out}$ ) bagi pembilang tak bergerak 4-bit adalah 50kHz. Tentukan nilai frekuensi masukan ( $f_{in}$ ) bagi pembilang dan frekuensi keluaran ( $f_{out}$ ) bagi flip-flop ke dua.*

[6 marks]

[6 markah]

CLO1

- (c) The existing data of 4-bit Serial In Serial Out (SISO) Shift Register is 1010. The register is shifted 4 times to the right with a new data input of 0101. Draw the 4-bit SISO Shift Register circuit and provide its truth table for 4 clock cycles.

*Data sedia ada dalam Daftar Anjakan 4-bit Masukan Siri/Keluaran Siri (SISO) ialah 1010. Daftar ini dianjak 4 kali ke kanan dengan kemasukan data baharu 0101. Lukiskan litar Daftar Anjakan 4-bit SISO dan sediakan jadual kebenarannya untuk 4 kitaran jam.*

[10 marks]

[10 markah]

**SECTION B : 20 MARKS*****BAHAGIAN B : 20 MARKAH*****INSTRUCTION:**

This section consists of **ONE (1)** essay question. Answer the question.

***ARAHAN:***

*Bahagian ini mengandungi SATU (1) soalan esei. Jawab soalan tersebut.*

CLO1 **QUESTION 1*****SOALAN 1***

Four input lines A,B,C,D are used to represent a 4-bit binary number with A as the Most Significant bit (MSB) and D as the Least Significant Bit (LSB). The logic circuit receives binary inputs and generates a LOW output (F) whenever the binary value is greater than 0010 and less than 1100. Construct a truth table for the system and use a Karnaugh Map method to obtain the simplest Sum-of-Product (SOP) Boolean expression. Then draw the logic circuit from the simplified expression.

*Empat talian masukan A,B,C,D digunakan untuk mewakili nombor perduaan 4-bit dengan A sebagai Bit Paling Besar (MSB) dan D sebagai Bit Paling Kecil (LSB). Litar logik menerima masukan perduaan ini dan akan menghasilkan keluaran (F) RENDAH apabila nombor perduaan adalah lebih besar daripada 0010 dan lebih kecil daripada 1100. Binakan satu jadual kebenaran bagi sistem tersebut dan gunakan kaedah Peta Karnaugh untuk mendapatkan persamaan Boolean Jumlah Hasil Darab (SOP) yang teringkas. Kemudian, lukiskan litar logik daripada persamaan yang telah diringkaskan tersebut.*

[20 marks]

[20 markah]

**SOALAN TAMAT**