

SULIT



**KEMENTERIAN PENDIDIKAN TINGGI
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI**

**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI
KEMENTERIAN PENDIDIKAN TINGGI**

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI I : 2025/2026

DEE20033: DIGITAL ELECTRONICS

TARIKH : 10 DISEMBER 2025

MASA : 8.30 PAGI – 10.30 PAGI (2 JAM)

Kertas soalan ini mengandungi **LAPAN (8)** halaman bercetak.

Bahagian A: Subjektif (4 soalan)

Bahagian B: Esei (1 soalan)

Dokumen sokongan yang disertakan: Lampiran 1 & Lampiran 2: BCD Code dan ASCII Code

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT

SECTION A : 80 MARKS**BAHAGIAN A : 80 MARKAH****INSTRUCTION:**

This section consists of **FOUR (4)** subjective questions. Answer **ALL** questions.

ARAHAN :

Bahagian ini mengandungi EMPAT (4) soalan subjektif. Jawab SEMUA soalan.

QUESTION 1**SOALAN 1**

- CLO1 (a) Give the symbol of the EX-NOR Gate and the truth table for the logic gate.
Berikan symbol Get EX-TAK ATAU dan jadual kebenaran untuk get logik tersebut.
- [4 marks]
[4 markah]
- CLO1 (b) Convert the BCD code 10010111 to its equivalent binary and hexadecimal number.
Tukarkan kod BCD 10010111 kepada nombor perduaan dan heksadesimal yang setara.
- [6 marks]
[6 markah]
- CLO1 (c) The signed number consists of 1's complement and 2's complement. By using 2's complement, solve the 8-bit addition decimal number below;
$$(-65_{10}) + (-21_{10})$$

Nombor bertanda terdiri dari pelengkap 1 dan pelengkap 2. Dengan menggunakan pelengkap 2, selesaikan penambahan 8-bit nombor perpuluhan di bawah;
- [10 marks]
[10 markah]

QUESTION 2

SOALAN 2

- CLO1 (a) Identify the output Q for a logic circuit in Figure A2(a) and state the result in the Table A2(a).

Kenal pasti keluaran Q bagi litar logik dalam Rajah A2(a) dan nyatakan keputusan dalam Jadual A2(a).

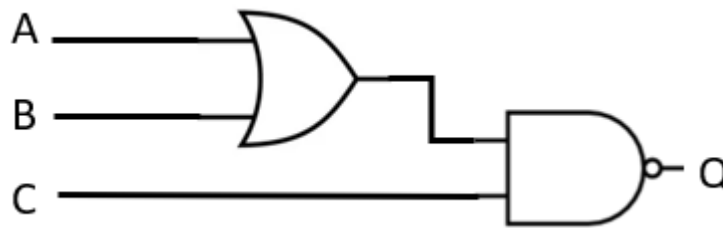


Figure A2(a) / Rajah A2(a)

Table A2(a) / Jadual A2(a)

A	B	C	Q
1	0	1	
1	1	0	
1	1	1	
0	1	0	

[4 marks]

[4 markah]

- CLO1 (b) Simplify the following expression using the Karnaugh Map.
Permudahkan persamaan berikut menggunakan Peta Karnaugh.

$$Y = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}BC\bar{D} + \bar{A}BCD + \bar{A}B\bar{C}D$$

[6 marks]

[6 markah]

- CLO1 (c) Construct a three variable truth table that has a high output (1) for these input conditions: 001, 011, 101 and 111. Write the Sum-of-Product (SOP) equation and sketch the combinational logic circuit.

Bina satu jadual kebenaran dengan tiga pembolehubah yang mempunyai keluaran tinggi (1) untuk masukan berikut: 001, 011, 101 dan 111. Tulis persamaan Jumlah Hasil Darab (SOP) dan lakarkan litar logik gabungan.

[10 marks]

[10 markah]

QUESTION 3**SOALAN 3**

- CLO1 (a) State the output Q and \bar{Q} for JK flip-flop in Table A3(a) if $Q_{\text{initial}} = 1$.
 Nyatakan keluaran Q dan \bar{Q} bagi flip-flop JK dalam Jadual A3(a) jika $Q_{\text{awal}} = 1$.

Table A3(a) / Jadual A3(a)

CLK	J	K	Q	\bar{Q}
↑	1	0		
	0	0		
	1	1		
	0	1		

[4 marks]

[4 markah]

- CLO1 (b) With the aid of a diagram and truth table, explain how a D flip-flop can be built by using SR flip-flop.
 Dengan bantuan gambarajah dan jadual kebenaran, terangkan bagaimana flip-flop D boleh dibina dengan menggunakan flip-flop SR.

[6 marks]

[6 markah]

CLO1

- (c) Draw the output waveform, Q and \bar{Q} for the JK flip-flop negative edge trigger in Diagram A3(c). Assume $Q_{\text{initial}} = 1$. Refer to Appendix 1.

Lukiskan gelombang keluaran, Q dan \bar{Q} untuk flip-flop JK picuan pinggir negatif bagi Rajah A3(c). Anggap $Q_{\text{awal}} = 1$. Rujuk Lampiran 1.

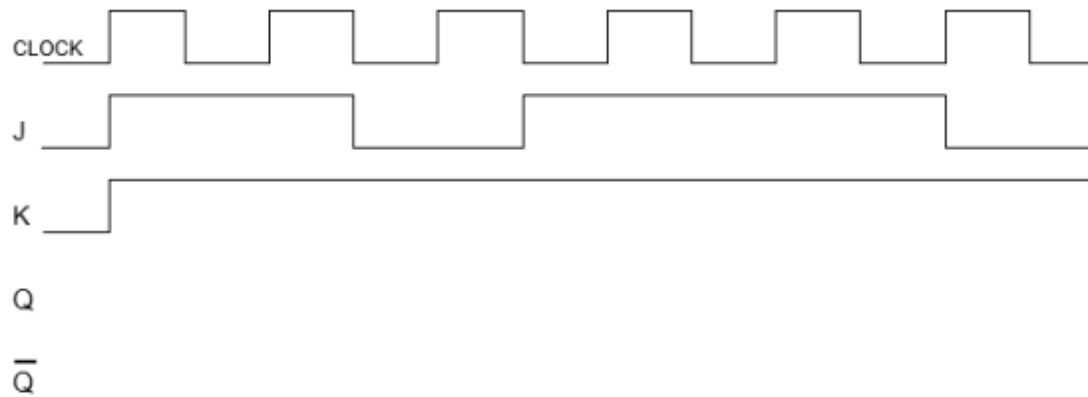


Diagram A3(c) / Rajah A3(c)

[10 marks]

[10 markah]

QUESTION 4**SOALAN 4**

CLO1 (a) Identify **FOUR (4)** types of shift register.
Kenal pasti EMPAT (4) jenis daftar anjakan.

[4 marks]
 [4 markah]

CLO1 (b) Explain **THREE (3)** disadvantages of the asynchronous counter.
Jelaskan TIGA (3) kelemahan pembilang tak segerak.

[6 marks]
 [6 markah]

CLO1 (c) Sketch the circuit of shift register 4-bit serial in-serial out (SISO) using D flip-flop and use the SISO concept to complete the data in Table 4(c) when the shift register performs right shift operation on the application of each clock pulse. The data is 11001 and the initial state is 00000.
Lakarkan litar bagi alat daftar 4 bit Masukan Siri Keluaran Siri (SISO) dengan menggunakan flip-flop D dan lengkapkan Jadual 4(c) bagi alat daftar SISO tersebut bagi operasi anjakan ke kanan untuk setiap denyut jam. Data masukan adalah 11001 dan data awal adalah 00000.

Table 4(c) / Jadual 4(c)

CLK	Data	Qa	Qb	Qc	Qd	Qe
0						
1						
2						
3						
4						
5						

[10 marks]
 [10 markah]

SECTION B : 20 MARKS***BAHAGIAN B : 20 MARKAH*****INSTRUCTION:**

This section consists of **ONE (1)** essay questions. Answer **ALL** questions.

ARAHAN :

*Bahagian ini mengandungi **SATU (1)** soalan esei. Jawab **SEMUA** soalan.*

QUESTION 1***SOALAN 1***

CLO1

Construct a synchronous up counter MOD 6 using T flip-flop with negative edge triggered clock input. Show all the steps involved.

Bina pembilang bergerak ke atas MOD 6 menggunakan T flip-flop dengan masukan jam picuan pinggir negatif. Tunjukkan semua langkah yang terlibat.

[20 marks]

*[20 markah]***SOALAN TAMAT**

APPENDIX 1 / LAMPIRAN 1

NO. SIRI BUKU JAWAPAN :

Nota : Lampiran ini mestilah dihantar bersama buku jawapan.

QUESTION 3 (c)

SOALAN 3 (c)

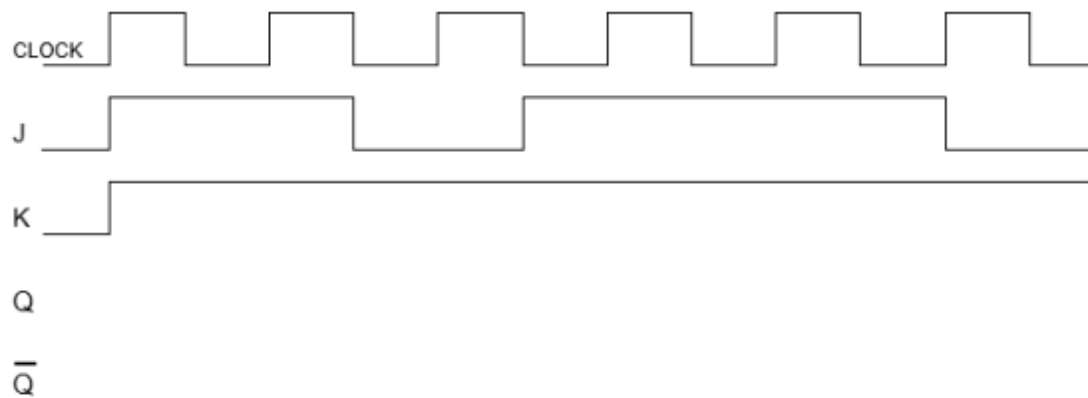


Figure A3(c) / Rajah A3(c)

Appendix 2/ Lampiran 2

ASCII Code

MSB									
LSB	Binary	000	001	010	011	100	101	110	111
Binary	Hex	0	1	2	3	4	5	6	7
0000	0	NUL	DLE	sp	0	@	P	`	p
0001	1	SOH	Dc1	!	1	A	Q	a	q
0010	2	STX	Dc2	“	2	B	R	b	r
0011	3	ETX	Dc3	#	3	C	S	c	s
0100	4	EOQ	Dc4	\$	4	D	T	d	t
0101	5	END	Nak	%	5	E	U	e	u
0110	6	ACK	Syn	&	6	F	V	f	v
0111	7	BEL	Etb	‘	7	G	W	g	w
1000	8	BS	Can	(8	H	X	h	x
1001	9	HT	Em)	9	I	Y	i	y
1010	A	LF	Sub	*	:	J	Z	j	z
1011	B	VT	Esc	+	;	K	[k	{
1100	C	FF	FS	,	<	L	\	l	
1101	D	CR	GS	-	=	M]	m	}
1110	E	SO	RS	.	>	N	^	n	~
1111	F	SI	US	/	?	O	-	o	DEL

BCD- Binary Coded Decimal

Decimal	5421	5311	4221	3321	2421	8421	7421
0	0000	0000	0000	0000	0000	0000	0000
1	0001	0001	0001	0001	0001	0001	0001
2	0010	0011	0010	0010	0010	0010	0010
3	0011	0100	0011	0011	0011	0011	0011
4	0100	0101	1000	0101	0100	0100	0100
5	1000	1000	0111	1010	1011	0101	0101
6	1001	1001	1100	1100	1100	0110	0110
7	1010	1011	1101	1101	1101	0111	1000
8	1011	1100	1110	1110	1110	1000	1001
9	1100	1101	1111	1111	1111	1001	1010