



BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENGAJIAN POLITEKNIK
KEMENTERIAN PENDIDIKAN MALAYSIA

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI JUN 2014

EE202: DIGITAL ELECTRONICS

TARIKH : 20 OKTOBER 2014

MASA : 02.30 PM – 04.30 PM (2 JAM)

Kertas ini mengandungi **LAPAN BELAS (18)** halaman bercetak.

Bahagian A: Objektif (20 soalan)

Bahagian B: Struktur (10 soalan)

Bahagian C: Esei (2 soalan)

Dokumen sokongan yang disertakan : Jadual

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SC
621.3076
KOM

PERPUSTAKAAN	
Politeknik Mukah Sarawak	
No. Perolehan	BP00001870
No. Pengkelasan	621.3076 kom
Tarikh	10.3.2015



bahagi

SECTION B: 30 MARKS**BAHAGIAN B: 30 MARKAH****INSTRUCTION:**

This section consists of **TEN (10)** structured questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi **SEPULUH (10)** soalan berstruktur. Jawab semua soalan.

QUESTION 1

The numbers 11000110001 is in BCD code. Convert it to octal number.

SOALAN 1

Nombor 11000110001 adalah dalam bentuk BCD. Tukarkannya kepada nombor oktal.

[3 marks]

[3 markah]

QUESTION 2

Sketch the logic circuit for Boolean expression, $F = A + B + C$ by using NAND gates only.

SOALAN 2

Lakarkan litar logik untuk persamaan Boolean $F = A + B + C$ dengan menggunakan get TAK-DAN sahaja.

[3 marks]

[3 markah]

CLO2
C3**QUESTION 3**

Simplify the Boolean expression using Boolean Theorem:

$$F = (A + B)(A + C)$$

SOALAN 3*Ringkaskan persamaan Boolean menggunakan Teorem Boolean.*

$$F = (A + B)(A + C)$$

[3 marks]
[3 markah]CLO2
C3**QUESTION 4**

Construct the truth table for 2 to 4 line decoder.

SOALAN 4*Binakan jadual kebenaran untuk penyahkod 2 ke 4 talian.*[3 marks]
[3 markah]CLO2
C3**QUESTION 5**

Based on Figure B2, draw the output waveform, Q for J-K Flip flop with negative trigger and asynchronous input is high.

SOALAN 5*Berpandukan Rajah B2, lukiskan keluaran Q untuk flip-flop JK dengan masukan jam pinggir negatif dan masukan tak segerak adalah tinggi.*[3 marks]
[3 markah]

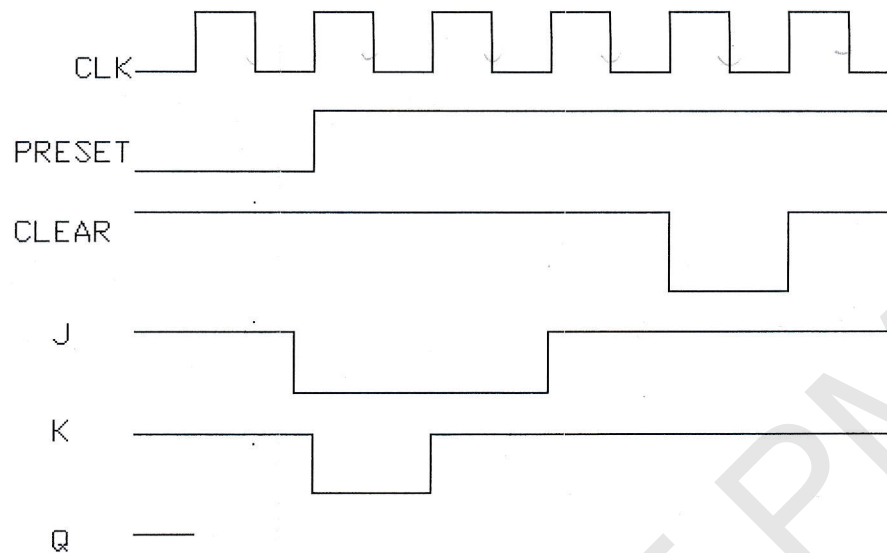


Figure B2 / Rajah B2

CLO3
C1

QUESTION 6

State **THREE (3)** advantages of synchronous counter.

SOALAN 6

Nyatakan **TIGA (3)** kelebihan pembilang segerak.

[3 marks]
[3 markah]

CLO3
C3

QUESTION 7

Construct 2-bit asynchronous binary counter using JK flip-flop negative edge trigger.

SOALAN 7

Binakan litar pembilang tak segerak 2-bit menggunakan flip-flop JK picuan negatif.

[3 marks]
[3markah]

CLO3
C2**QUESTION 8**

A MOD-12 and MOD-10 counter are cascaded. Determine the output frequency if the input clock frequency is 60 MHz.

SOALAN 8

Pembilang MOD-12 dan MOD-10 disambung secara kaskad. Tentukan frekuensi keluaran jika frekuensi masukan adalah 60 MHz.

[3 marks]
[3markah]CLO3
C3**QUESTION 9**

Construct the 3 bit Ring Counter circuit.

SOALAN 9

Binakan litar Pembilang Gelang 3 bit.

[3 marks]
[3 markah]CLO3
C3**QUESTION 10**

Construct the 3 bit shift register circuit that functioning as division by 2 using D flip-flop.

SOALAN 10

Bina litar daftar anjakan 3 bit yang berfungsi sebagai pembahagi 2 menggunakan flip-flop D.

[3 marks]
[3 markah]

SECTION C: 50 MARKS
BAHAGIAN C: 50 MARKAH

INSTRUCTION:

This section consists of **TWO (2)** essay questions. Answer **ALL** questions..

ARAHAN:

Bahagian ini mengandungi DUA (2) soalan esei. Jawab SEMUA soalan.

QUESTION 1

- a) Convert $X = A'B'C' + A'BC' + A'BC + AB'C$ in SOP form into its equivalent POS form expression.

Tukarkan persamaan SOP, $X = A'B'C' + A'BC' + A'BC + AB'C$ kepada persamaan POS yang setara.

[5 marks]
[5 markah]

- b) Construct the truth table, K-map and then simplify the Boolean expression below:

$$F(X,Y,Z) = \bar{Y}\bar{Z} + \bar{Y}Z + XY\bar{Z}$$

Binakan jadual kebenaran, K-Map dan seterusnya permudahkan persamaan Boolean di bawah:

$$F(X,Y,Z) = \bar{Y}\bar{Z} + \bar{Y}Z + XY\bar{Z}$$

[10 marks]
[10 markah]

- (c) Given decoder with three line input:

Diberi penyahkod dengan tiga talian masukan:

- i) Calculate the number of output lines

Kirakan bilangan talian keluaran

[1 mark]
[1 markah]

- CLO2
C3
- ii) Sketch and label the block diagram for this decoder
Lakar dan labelkan rajah blok bagi penyahkod ini
- [3 marks]
[3 markah]
- CLO2
C3
- iii) Construct the truth table
Binakan jadual kebenaran
- [5 marks]
[5 markah]
- CLO2
C2
- iv) Based on the answer Q1(c) iii), express the output equation of Least Significant Bit (LSB).
Nyatakan persamaan Bit Bererti Terkecil berpandukan jawapan di Q1(c) iii).
- [1 mark]
[1 markah]

QUESTION 2

- CLO 3
C1
- a) i) Define flip-flop.
Definisikan flip-flop.
- [1 mark]
[1 markah]
- CLO3
C3
- ii) Sketch the T and D flip-flop symbol with the truth table.
Lakarkan simbol flip-flop T dan D berserta jadual kebenarannya.
- [6 marks]
[6 markah]
- CLO3
C1
- (b) State **TWO (2)** differences between synchronous counter and asynchronous counter.
*Nyatakan **DUA (2)** perbezaan di antara pembilang segerak dan pembilang tak segerak.*
- [4 marks]
[4 markah]

CLO3
C2

- (c) For an 8-byte asynchronous counter, determine:
Bagi pembilang tak segerak 8-bit, tentukan:

i) Maximum number
Nombor maksima

[2 marks]
[2 markah]

ii) Modulo
Modulo

[2 marks]
[2 markah]

CLO3
C3

- (d) Design an asynchronous up counter MOD 4 using JK Flip-flop with positive trigger.

Rekabentuk satu litar pembilang tak segerak ke atas MOD 4 dengan menggunakan flip-flop JK picuan pinggir positif.

i) Calculate the number of flip-flop needed.

Kirakan bilangan flip-flop yang diperlukan.

[1 mark]
[1 markah]

ii) Sketch the state diagram.

Lakarkan rajah keadaan.

[2 marks]
[2 markah]

iii) Construct the logic circuit.

Binakan litar logik.

[4 marks]
[4 markah]

CLO3
C3

- (e) Sketch a logic circuit for 2 bit Serial in Serial out (SISO) shift register negative edge trigger.

Lakarkan litar logik 2 bit bagi daftar anjakan SISO bagi picuan pinggir negatif.

[3 marks]
[3 markah]

SOALAN TAMAT

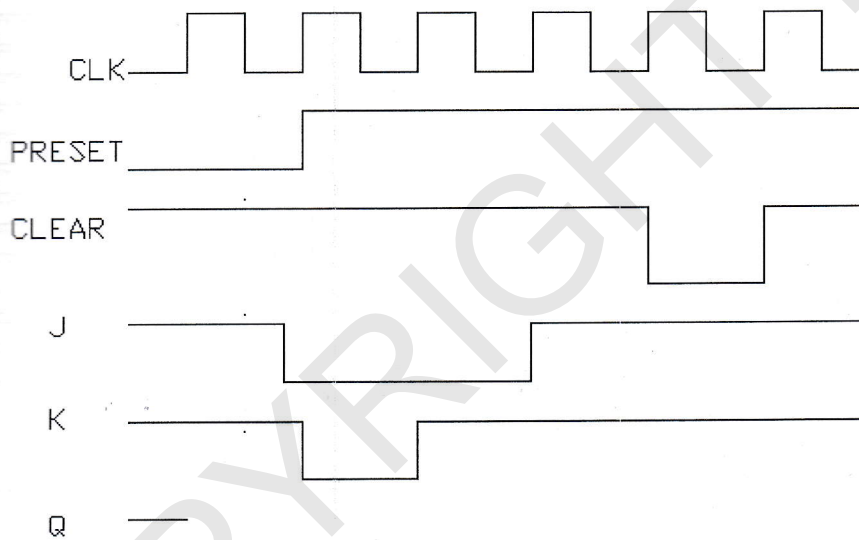
NO. SIRI BUKU JAWAPAN :

Nota : Lampiran ini mestilah dihantar bersama buku jawapan.

APENDIX 1 / LAMPIRAN 1

QUESTION 5

Figure B2 / Rajah B2



[3 marks]
[3 markah]

APENDIX 2 / LAMPIRAN 2

ASCII TABLE

ASCII CONTROL CHARACTERS					ASCII PRINTABLE CHARACTERS			
Binary	Decimal	Hexadecimal	Character	Description	Binary	Decimal	Hexadecimal	Character
00000000	000	00	NUL	Null char	00100000	032	20	SP
00000001	001	01	SOH	Start of Heading	00100001	033	21	!
00000010	002	02	STX	Start of Text	00100010	034	22	"
00000011	003	03	ETX	End of Text	00100011	035	23	#
00000100	004	04	EOT	End of Transmission	00100100	036	24	\$
00000101	005	05	ENQ	Enquiry	00100101	037	25	%
00000110	006	06	ACK	Acknowledgment	00100110	038	26	&
00000111	007	07	BEL	Bell	00100111	039	27	'
00001000	008	08	BS	Back Space	00101000	040	28	(
00001001	009	09	HT	Horizontal Tab	00101001	041	29)
00001010	010	0A	LF	Line Feed	00101010	042	2A	*
00001011	011	0B	VT	Vertical Tab	00101011	043	2B	+
00001100	012	0C	FF	Form Feed	00101100	044	2C	,
00001101	013	0D	CR	Carriage Return	00101101	045	2D	-
00001110	014	0E	SO	Shift Out / X-On	00101110	046	2E	.
00001111	015	0F	SI	Shift In / X-Off	00101111	047	2F	/
00010000	016	10	DLE	Data Line Escape	00110000	048	30	0
00010001	017	11	DC1	Device Control 1 (oft. XON)	00110001	049	31	1
00010010	018	12	DC2	Device Control 2	00110010	050	32	2
00010011	019	13	DC3	Device Control 3 (oft. XOFF)	00110011	051	33	3
00010100	020	14	DC4	Device Control 4	00110100	052	34	4
00010101	021	15	NAK	Negative Acknowledgement	00110101	053	35	5
00010110	022	16	SYN	Synchronous Idle	00110110	054	36	6
00010111	023	17	ETB	End of Transmit Block	00110111	055	37	7
00011000	024	18	CAN	Cancel	00111000	056	38	8
00011001	025	19	EM	End of Medium	00111001	057	39	9
00011010	026	1A	SUB	Substitute	00111010	058	3A	:
00011011	027	1B	ESC	Escape	00111011	059	3B	;
00011100	028	1C	FS	File Separator	00111100	060	3C	<
00011101	029	1D	GS	Group Separator	00111101	061	3D	=
00011110	030	1E	RS	Record Separator	00111110	062	3E	>
00011111	031	1F	US	Unit Separator	00111111	063	3F	?

ASCII PRINTABLE CHARACTERS				ASCII PRINTABLE CHARACTERS			
Binary	Decimal	Hexadecimal	Character	Binary	Decimal	Hexadecimal	Character
01100000	064	40	@	01100000	096	60	`
01100001	065	41	A	01100001	097	61	a
01100010	066	42	B	01100010	098	62	b
01100011	067	43	C	01100011	099	63	c
01100100	068	44	D	01100100	100	64	d
01100101	069	45	E	01100101	101	65	e
01100110	070	46	F	01100110	102	66	f
01100111	071	47	G	01100111	103	67	g
01101000	072	48	H	01101000	104	68	h
01101001	073	49	I	01101001	105	69	i
01101010	074	4A	J	01101010	106	6A	j
01101011	075	4B	K	01101011	107	6B	k
01101100	076	4C	L	01101100	108	6C	l
01101101	077	4D	M	01101101	109	6D	m
01101110	078	4E	N	01101110	110	6E	n
01101111	079	4F	O	01101111	111	6F	o
01110000	080	50	P	01110000	112	70	p
01110001	081	51	Q	01110001	113	71	q
01110010	082	52	R	01110010	114	72	r
01110011	083	53	S	01110011	115	73	s
01110100	084	54	T	01110100	116	74	t
01110101	085	55	U	01110101	117	75	u
01110110	086	56	V	01110110	118	76	v
01110111	087	57	W	01110111	119	77	w
01111000	088	58	X	01111000	120	78	x
01111001	089	59	Y	01111001	121	79	y
01111010	090	5A	Z	01111010	122	7A	z
01111011	091	5B	[01111011	123	7B	{
01111100	092	5C	\	01111100	124	7C	
01111101	093	5D]	01111101	125	7D	}
01111110	094	5E	^	01111110	126	7E	~
01111111	095	5F	_	01111111	127	7F	DEL