

SULIT



BAHAGIAN PEPERIKSAAN DAN PENILAIAN  
JABATAN PENGAJIAN POLITEKNIK  
KEMENTERIAN PENDIDIKAN MALAYSIA

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI DISEMBER 2013

**EE603: CMOS INTEGRATED CIRCUIT DESIGN**

**TARIKH : 07 APRIL 2014**

**TEMPOH : 8.30 AM – 10.30 AM (2 JAM)**

---

Kertas ini mengandungi **SEPULUH (10)** halaman bercetak.

Bahagian A: Subjektif (10 soalan)

Bahagian B: Esei (3 soalan)

Dokumen sokongan yang disertakan : Tiada

---

**JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN**

(CLO yang tertera hanya sebagai rujukan)

SULIT

©COPYRIGHT PMU

**SECTION A: 40 MARKS****BAHAGIAN A: 40 MARKAH****INSTRUCTION:**

This section consists of **TEN (10)** structured questions. Answer **ALL** questions.

**ARAHAN:**

*Bahagian ini mengandungi **SEPULUH (10)** soalan berstruktur. Jawab **SEMUA** soalan.*

**QUESTION 1**CLO1  
C1

There are **TWO (2)** issues in digital integrated circuit design which are the microscopic issue and the macroscopic issue. Identify the factors for each issues.

**SOALAN 1**

*Terdapat **DUA (2)** isu di dalam rekabentuk litar bersepadu digital iaitu isu mikroskopik dan isu makroskopik. Kenalpasti faktor-faktor bagi setiap isu.*

[4 marks]

[4 markah]

**QUESTION 2**CLO1  
C3

Electrical function of gate is best expressed by its Voltage Transfer Characteristic (VTC). Sketch the graphical curve for VTC with complete label.

**SOALAN 2**

*Cara terbaik bagi menyatakan fungsi elektrik suatu get adalah melalui Ciri Perpindahan Voltan. Lakar graf lengkung tersebut lengkap dengan label.*

[4 marks]

[4 markah]

©COPYRIGHT PMU

**QUESTION 6**CLO2  
C3

Two NMOS transistors implemented in the same technology but transistor A has a long channel device ( $L_d = 10 \mu\text{m}$ ), while transistor B is a short channel device ( $L_d = 0.25 \mu\text{m}$ ).

- Which of these transistors will have quadratic dependence?
- Sketch the quadratic dependence of transistor in Question 6(a) in I-V graph.

**SOALAN 6**

Dua NMOS transistor dibina dengan menggunakan teknologi yang sama tetapi transistor A mempunyai saluran peranti panjang ( $L_d = 10 \mu\text{m}$ ) manakala transistor B mempunyai saluran peranti pendek ( $L_d = 0.25 \mu\text{m}$ ).

- Transistor yang manakah mempunyai pergantungan kuadratik?
- Lakar pergantungan kuadratik bagi transistor di Soalan 6(a) dalam graf I-V.

[4 marks]

[4 markah]

**QUESTION 7**CLO2  
C2

Describe polycide-gate MOSFET.

**SOALAN 7**

Perihalkan polycide-gate MOSFET.

[4 marks]

[4 markah]

**QUESTION 8**CLO3  
C3

Sketch the switch model of dynamic behavior of static CMOS inverter when

- (a)  $V_{in} = 0$
- (b)  $V_{in} = V_{dd}$

**SOALAN 8***Lakarkan model suis tingkah laku dinamik statik CMOS penyongsang apabila*

- (a)  $V_{in} = 0$
- (b)  $V_{in} = V_{dd}$

[4 marks]

[4 markah]

**QUESTION 9**CLO3  
C2A static CMOS gate is a combination of two networks called the *pull-up network* (PUN) and the *pull-down network* (PDN). Describe the function of PUN and PDN.**SOALAN 9***Get statik CMOS terdiri daripada dua rangkaian iaitu pull-up network (PUN) dan pull-down network (PDN). Perihalkan fungsi PUN dan PDN.*

[4 marks]

[4 markah]

**QUESTION 10**CLO1  
C2Give **TWO (2)** advantages and **TWO (2)** disadvantages of full custom methodologies over semi custom methodologies.**SOALAN 10***Berikan DUA (2) kelebihan dan DUA (2) kelemahan metodologi langganan penuh ke atas metodologi separa langganan.*

[4 marks]

[4 markah]

**SECTION B : 60 MARKS****BAHAGIAN B : 60 MARKAH****INSTRUCTION:**

This section consists of **THREE (3)** essay questions. Answer **ALL** questions.

*Bahagian ini mengandungi TIGA (3) soalan esei. Jawab semua soalan.*

**QUESTION 1****SOALAN 1**CLO1  
C2

- (a) Performance issues of digital design includes propagation delay, rise time and fall time. Explain propagation delay using a suitable diagram.

*Isu-isu prestasi dalam rekabentuk digital termasuklah lengah perambatan, masa naik dan masa turun. Dengan menggunakan gambarajah yang sesuai, terangkan lengah perambatan.*

[4 marks]

[4 markah]

CLO1  
C2

- (b) Quality metrics defines a set of basic properties of a digital design. These properties help to quantify the quality of a design from different perspectives such as propagation delay and power consumption. Explain the relationship between propagation delay and power consumption of a gate.

*Kualiti metrik ditakrifkan sebagai satu set ciri-ciri asas reka bentuk digital. Ciri-ciri ini membantu untuk mengukur kualiti rekabentuk dari perspektif yang berbeza seperti lengah perambatan dan penggunaan kuasa. Terangkan hubungan antara lengah perambatan dan penggunaan kuasa get.*

[3 marks]

[3 markah]

- CLO1  
C2
- (c) The total cost of any product can be separated into two components: the recurring expenses or the variable cost, and the non-recurring expenses or the fixed cost. Explain the variable cost and fixed cost.
- Jumlah kos mana-mana produk boleh dibahagikan kepada dua komponen: kos berulang atau kos yang berubah-ubah, dan perbelanjaan tidak berulang atau kos tetap. Terangkan kos berubah dan kos tetap.*

[3 marks]

[3 markah]

- CLO1  
C3
- (d)
- i. Fan in and fan out are criteria related to the functionality and robustness of IC design. Sketch the diagram for fan in and fan out.
- Fan in dan fan out adalah kriteria bersangkutan dengan kefungsiian dan keberkesanan rekabentuk IC. Lakarkan rajah bagi fan in dan fan out.*

[6 marks]

[6 markah]

- CLO1  
C1
- ii. Describe functional and robustness properties of fan in and fan out.
- Terangkan sifat-sifat kefungsiian dan keberkesanan bagi fan in dan fan out.*

[4 marks]

[4 markah]

**QUESTION 2****SOALAN 2**

- CLO2  
C3
- (a) Illustrate the switch model operation for NMOS and PMOS transistor with the aid of diagrams.

*Ilustrasikan operasi model suis bagi transistor NMOS dan PMOS dengan bantuan rajah.*

[10 marks]

[10 markah]

CLO2

C2

(b) The wiring of today's integrated circuit forms a complex geometry that introduce capacitive, resistive and inductive parasitic. Describe **THREE** (3) parasitic effects on integrated circuit behavior.

*Pendawaian litar bersepadu hari ini telah membentuk geometri kompleks yang menyebabkan kewujudan parasitik kapasitif, resistif dan induktif. Jelaskan TIGA (3) kesan parasitik kepada kelakuan litar bersepadu.*

[3 marks]

[3 markah]

CLO1

C2

(c) Figure B2 is a tree structured RC network diagram. By referring to this diagram, *Rajah B2 adalah rangkaian pokok berstruktur RC. Dengan merujuk kepada rajah ini,*

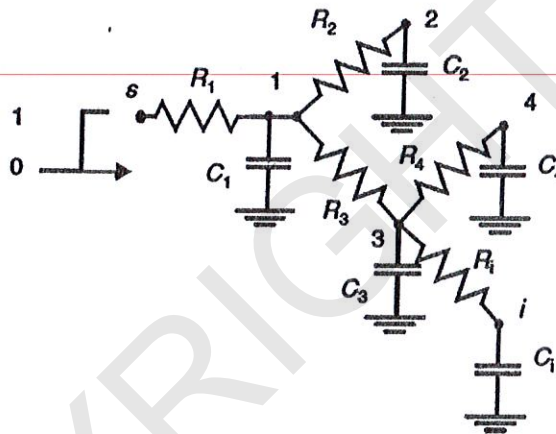


Figure B2 / Rajah B2

CLO1

C2

i. Express the formula for the path resistance,  $R_{44}$  and shared path resistance,  $R_{i4}$ .  
*Nyatakan formula untuk rintangan laluan,  $R_{44}$  dan rintangan laluan kongsi,  $R_{i4}$ .*

[2 marks]

[2 markah]

CLO1  
C3

ii. Calculate Elmore Delay at node i by using the following expression.

*Kirakan Lengah Elmore di nod i dengan menggunakan persamaan berikut.*

$$\tau_{Di} = \sum_{k=1}^N C_k R_{ik}$$

[5 marks]

[5 markah]

**QUESTION 3****QUESTION 3**CLO3  
C3

(a) Referring to Boolean equation given, construct the CMOS static logic circuit. Your circuit must consist of Pull Up Network (PUN) and Pull Down Network (PDN).

*Merujuk kepada persamaan Boolean yang diberikan, bina litar logik CMOS statik. Litar anda mestilah mengandungi Pull Up Network (PUN) dan Pull Down Network (PDN).*

$$F = \overline{A \cdot B}$$

[10 marks]

[10 markah]

CLO1  
C3

(b) Figure B3 below is a diagram of PLD circuit. Produce the equations for  $O_3$ ,  $O_2$ ,  $O_1$  and  $O_0$ .

Rajah B3 di bawah adalah rajah bagi litar PLD. Dapatkan persamaan untuk  $O_3$ ,  $O_2$ ,  $O_1$  dan  $O_0$ .

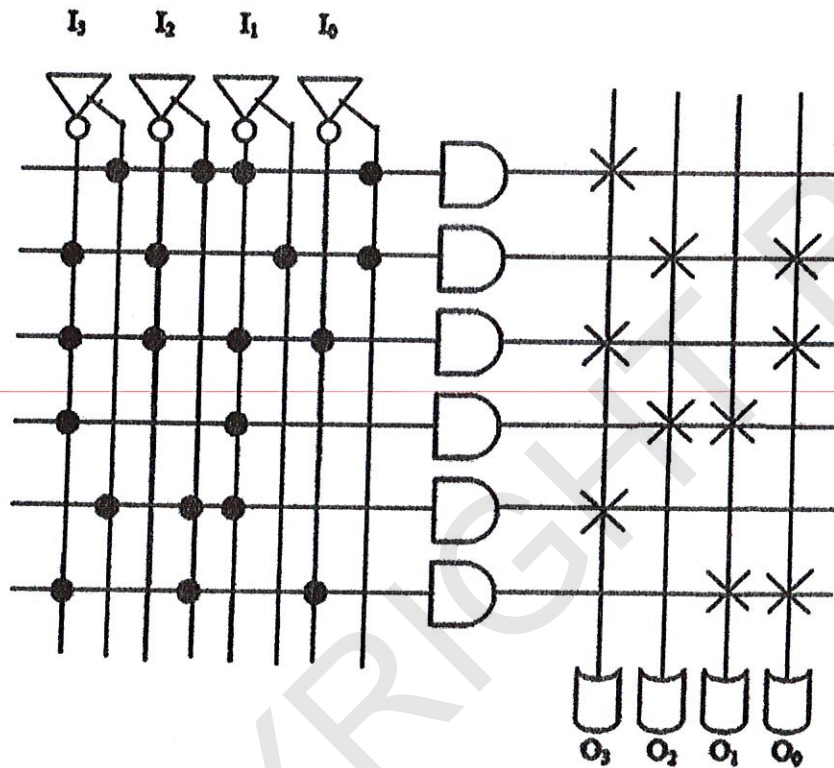


Figure B3 / Rajah B3

[10 marks]

[10 markah]

SOALAN TAMAT

©COPYRIGHT PMU