



**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI
KEMENTERIAN PENDIDIKAN MALAYSIA**

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI JUN 2018

DEE6113: CMOS INTEGRATED CIRCUIT DESIGN

TARIKH : 28 OKTOBER 2018

MASA : 2.30 PETANG - 4.30 PETANG (2 JAM)

Kertas ini mengandungi **SEMBILAN (9)** halaman bercetak.

Bahagian A: Struktur (4 soalan)

Bahagian B: Esei (2 soalan)

Dokumen sokongan yang disertakan : Tiada

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

LO yang tertera hanya sebagai rujukan)

PERPUSTAKAAN

Politeknik Mukah Sarawak

No. Peralihan

No. Pengelasan

Tarikh



SECTION A : 60 MARKS
BAHAGIAN A : 60 MARKAH

INSTRUCTION:

This section consists of **FOUR (4)** structured questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi EMPAT (4) soalan berstruktur. Jawab SEMUA soalan.

QUESTION 1
SOALAN 1

CLO1
C1

- (a) List **TWO (2)** advantages of Integrated Circuit (IC) compared to Discrete Components.

Senaraikan DUA (2) kelebihan litar bersepadu berbanding komponen Komponen Diskrit.

[2 marks]

[2 markah]

CLO1
C2

- (b) Identify the differences between Small Scale Integration (SSI), Medium Scale Integration (MSI) and Large Scale Integration (LSI) in terms of number of transistors and their examples.

Kenalpasti perbezaan di antara Small Scale Integration (SSI), Medium Scale Integration (MSI) and Large Scale Integration (LSI) bagi bilangan transistor dan contoh masing-masing.

[6 marks]

[6 markah]

CLO1
C2

- (c) Describe and draw the diagram of n-well CMOS cross-section.

Terangkan dan lukis bahagian keratan rentas n-well CMOS.

[7 marks]

[7 markah]

QUESTION 2
SOALAN 2

CLO1
C1

- (a) State the definition of threshold voltage for MOS transistor.

Nyatakan definisi voltan ambang bagi transistor MOS.

[2 marks]

[2 markah]

CLO1
C3

- (b) Figure A2(b) shows the actual Voltage Transfer Characteristics (VTC) of a CMOS inverter. By referring to the diagram, calculate the value of Noise Margin High (NM_H) and Noise Margin Low (NM_L).

Rajah A2(b) menunjukkan Ciri Pindah Voltan (VTC) yang sebenar bagi suatu penyongsang CMOS. Berpandukan rajah tersebut, kirakan nilai jidar hingar tinggi (NM_H) dan jidar hingar rendah (NM_L).

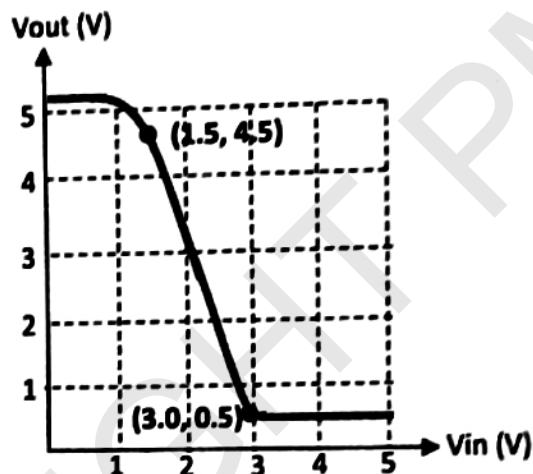


Figure A2(b) / Rajah A2(b)

[6 marks]
[6 markah]CLO2
C3

- (c) Figure A2(c)i shows a schematic diagram of CMOS inverter and Figure A2(c)ii shows the layout diagram of the same CMOS inverter. If the CMOS inverter is designed using technology feature of 0.12 micron, calculate the values of L , W_p and W_n in micron unit for Figure A2(c)ii.

Rajah A2(c)i menunjukkan rajah skematik bagi penyongsang CMOS dan Rajah A2(c)ii pula menunjukkan rajah bentangan bagi penyongsang CMOS yang sama. Sekiranya penyongsang CMOS tersebut direkabentuk menggunakan ciri teknologi 0.12 mikron, kira nilai-nilai L , W_p dan W_n dalam unit mikron bagi Rajah A2(c)ii.

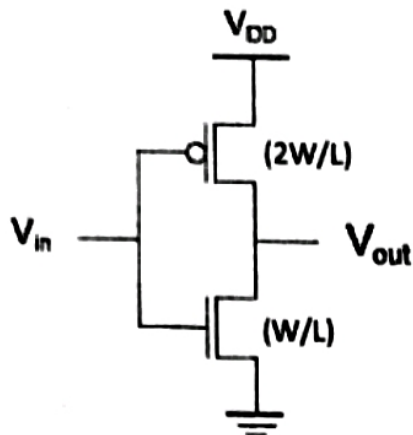


Figure A2(c)i / Rajah A2(c)i

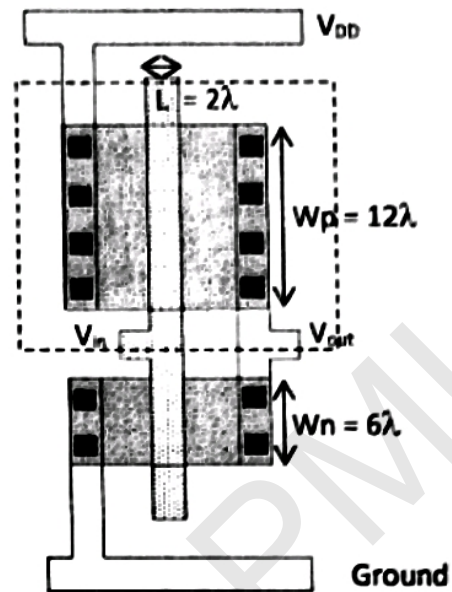


Figure A2(c)ii / Rajah A2(c)ii

[7 marks]

[7 markah]

QUESTION 3

SOALAN 3

CLO2
C3

- (a) List the steps to construct a CMOS static circuit for 2 – input NAND gate.
Senaraikan langkah-langkah untuk membina litar statik CMOS get TAK DAN 2 – masukan.

[5 marks]

[5 markah]

CLO2
C3

- (b) Draw a 3-input NAND and a 3-input NOR logic gates using Pseudo-NMOS inverter.
Lukis satu get logik TAK-DAN 3-masukan dan satu get logik TAK-ATAU 3-masukan menggunakan penyongsang Pseudo-NMOS.

[5 marks]

[5 markah]

CLO2
C3

- (c) Draw a 3-input NAND gate using dynamic CMOS logic.
Lukis satu get logik TAK-DAN 3-masukan dengan menggunakan logik CMOS dinamik.

[5 marks]

[5 markah]



QUESTION 4
SOALAN 4

CLO1
C1

- (a) The design of Application Specific Integrated Circuits (ASICs) is complex and therefore the use of structured design technique is required to manage the complexity of the design. Figure A4(a) shows the abstraction level in ASICs design. State the abstraction level no.3 and no.4.

Rekabentuk Aplikasi Litar Bersepadu Khusus (ASICs) adalah rumit dan oleh yang demikian penggunaan teknik rekabentuk berstruktur diperlukan untuk menguruskan kerumitan rekabentuk. Rajah A4(a) menunjukkan tahap penskalaan dalam rekabentuk ASICs. Nyatakan tahap penskalaan no.3 dan no.4.

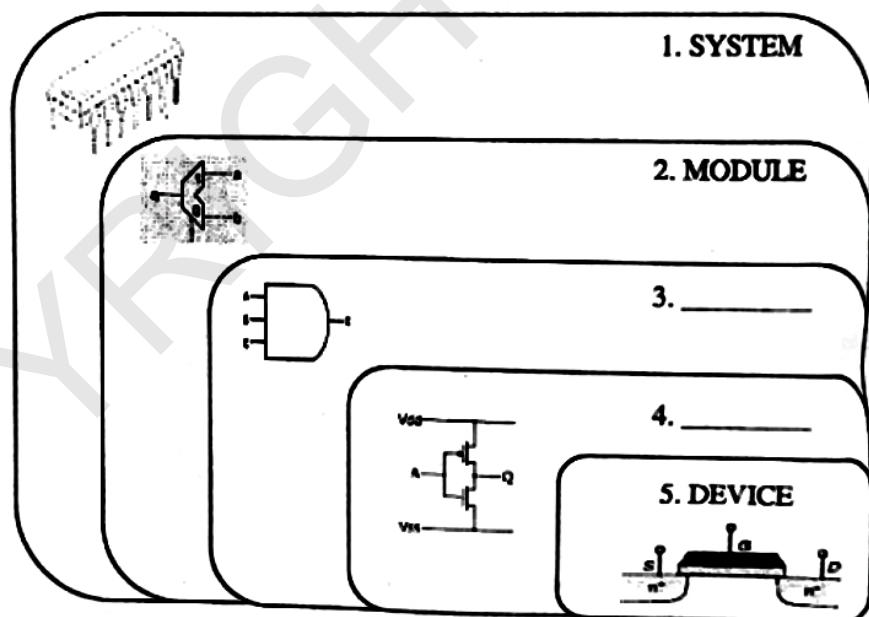


Figure A4(a) / Rajah A4(a)

[2 marks]
 [2 markah]

CLO1
C3

- (b) Programmable Array Logic (PAL) is a type of PLD (Programmable Logic Device). PAL architecture of the OR gate plane is fixed, while the AND plane is programmable. Figure A4(b) shows the array structure of PAL in implementing Boolean equations. Interpret the Boolean equations for f_1 and f_2 produced at the output.

Logik Tatasusun Bolehaturcara (PAL) adalah sejenis PLD (Peranti Logik Bolehaturcara). Senibina PAL mempunyai satah get ATAU yang tetap, sementara satah get DAN yang boleh diaturcara. Rajah A4(b) menunjukkan struktur tatasusun PAL dalam melaksanakan persamaan Boolean. Terjemahkan persamaan Boolean f_1 dan f_2 yang terhasil pada keluaran.

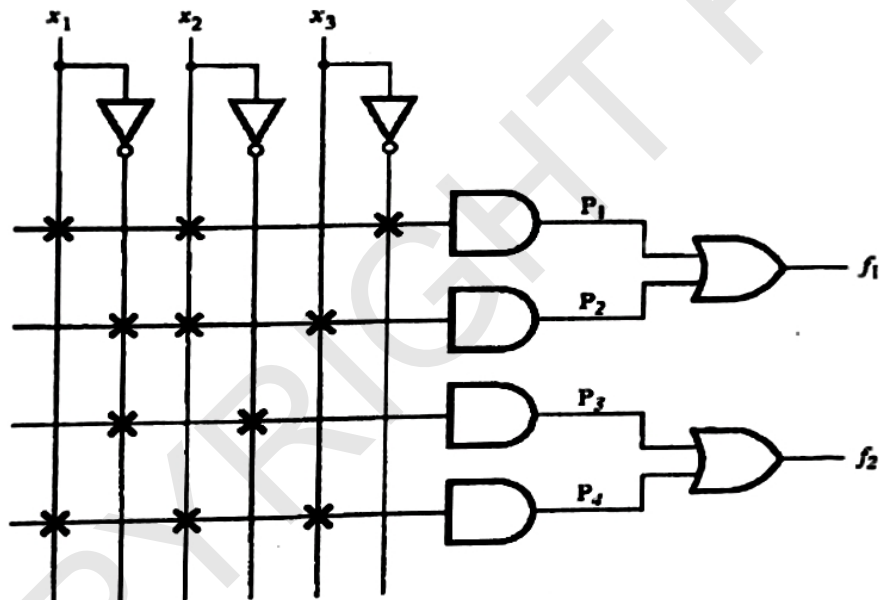


Figure A4(b) / Rajah A4(b)

[6 marks]
[6 markah]

CLO1
C3

- (c) A Boolean function is given as:
Fungsi Boolean diberikan sebagai:

$$F_1 = A\bar{B} + AC$$

$$F_2 = AC + BC$$

Implement a circuit that will produce F_1 and F_2 using Programmable Logic Array (PLA) having three (3) inputs, three (3) product terms and two (2) outputs.

Laksanakan litar yang akan menghasilkan F_1 dan F_2 menggunakan Tatasusunan Logik Bolehaturcara (PLA) yang mempunyai tiga (3) masukan, tiga (3) sebutan hasildarab dan dua (2) keluaran.

[7 marks]
[7 markah]

SECTION B : 40 MARKS**BAHAGIAN B : 40 MARKAH****INSTRUCTION:**

This section consists of TWO (2) essay questions. Answer ALL questions.

ARAHAN:

Bahagian ini mengandungi DUA (2) soalan esei. Jawab SEMUA soalan.

CLO2
C3

QUESTION 1**SOALAN 1**

Draw the Pull-up network (PUN) and the Pull-down network (PDN) for a complementary CMOS logic circuit to implement the logic function shown in Figure B1(i) and Figure B1(ii).

Lukiskan Rangkaian Tarik Atas (PUN) dan Rangkaian Tarik Bawah (PDN) untuk litar logik CMOS bagi melaksanakan fungsi logik yang ditunjukkan dalam Rajah B1(i) dan Rajah B1(ii).

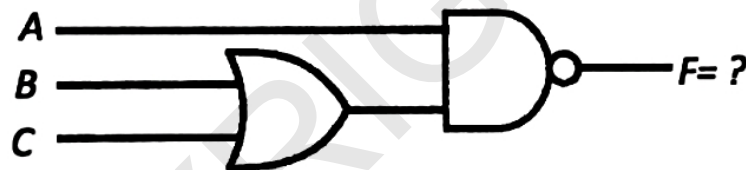


Figure B1(i)

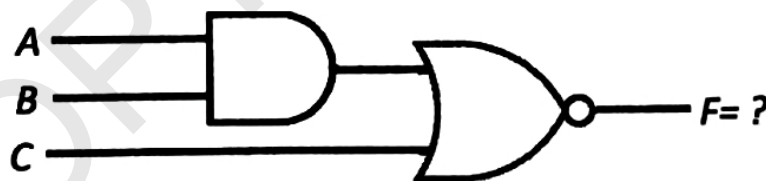


Figure B1(ii)

[20 marks]

[20 markah]

QUESTION 2**SOALAN 2**CLO2
C5

Given a complex Boolean function below:

Diberi suatu fungsi Boolean kompleks seperti di bawah:

$$F = \overline{AB \bullet (C + D)}$$

Design the stick diagram for the given complex Boolean function by applying the Euler path method. Your design must also cover the determination of the Pull-Up Network (PUN) and Pull-Down Network (PDN) diagram for the static CMOS.

Rekabentukkan rajah lidi bagi rajah CMOS statik bagi fungsi Boolean kompleks yang di beri menggunakan kaedah Euler Path. Rekabentuk anda mestilah mencakup penentuan rajah statik CMOS bagi kedua-dua Rangkaian Tarik-Naik (PUN) dan Rangkaian Tarik-Turun (PDN) bagi fungsi tersebut.

[20 marks]
[20 markah]

SOALAN TAMAT