



**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK
KEMENTERIAN PENDIDIKAN TINGGI**

JABATAN KEJURUTERAAN ELEKTRIK

**PEPERIKSAAN AKHIR
SESI DISEMBER 2017**

DEE2034 : DIGITAL ELECTRONICS

**TARIKH : 10 APRIL 2018
MASA : 8.30 PAGI - 10.30 PAGI (2 JAM)**

Kertas ini mengandungi **SEPULUH (10)** halaman bercetak.

Bahagian A: Objektif (10 soalan)
Bahagian B: Struktur (4 soalan)
Bahagian C: Esei (2 soalan)

Dokumen sokongan yang disertakan : Jadual ASCII

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SECTION B : 60 MARKS
BAHAGIAN B : 60 MARKAH

INSTRUCTION:

This section consists of **FOUR (4)** structured questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi EMPAT (4) soalan berstruktur. Jawab SEMUA soalan.

QUESTION 1

SOALAN 1

CLO1
C1

- (a) Determine the decimal values 178 to binary and BCD equivalent
Kenalpasti nilai desimal 178 kepada persamaan binari dan BCD yang setara

[3 marks]

[3 markah]

CLO1
C3

- (b) Convert 765.4_8 to
Tukarkan 765.4_8 kepada
- i. Decimal/ *decimal*
 - ii. Binary/ *binary*
 - iii. Hexadecimal/ *heksadesimal*

[6 marks]

[6 markah]

CLO1
C3

- (c) Solve the 8-bits addition of decimal number below using 2's complement.
Selesaikan penambahan 8-bit bagi nombor desimal di bawah menggunakan pelengkap dua.

$$-66 + (-23)$$

[6 marks]

[6 markah]

QUESTION 2

SOALAN 2

CLO1
C1

- (a) Write the truth table and Boolean expression for the logic gates in **Figure B2(a)**.
Tuliskan jadual kebenaran dan persamaan Boolean untuk logik get dalam Rajah B2(a).

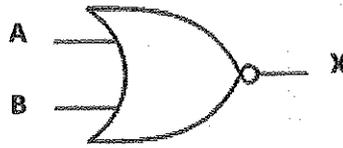


Figure B2(a) / Rajah B2(a)

[3 marks]

[3 markah]

CLO2
C3

- (b) Simplify the equation below using De Morgan Theorem and sketch the simplified logic circuit.
Permudahkan persamaan di bawah menggunakan Teori De Morgan dan lukiskan litar logik yang telah dipermudahkan.

$$Y = \overline{(A + B) \cdot (\overline{A} + B) + (\overline{A} \cdot \overline{B})}$$

[6 marks]

[6 markah]

CLO2
C3

- (c) Multiplexer is also known as a data selector. Sketch a 4-to-1 line multiplexer logic circuit and show the truth table for this multiplexer.
Pemultipleks juga dikenali sebagai pemilih data. Lakarkan litar logik pemultipleks 4-kepada-1 dan tunjukkan jadual kebenaran untuk pemultipleks ini.

[6 marks]

[6 markah]

QUESTION 3

SOALAN 3

- CLO2
C1 (a) State the function of **PRESET** and **CLEAR** inputs in a flip-flop
*Nyatakan fungsi masukan **PRESET** dan **CLEAR** dalam flip-flop*
- [3 marks]
[3 markah]
- CLO2
C3 (b) Draw the logic circuit and truth table of a clocked SR flip-flop.
Lukiskan litar logik dan jadual kebenaran untuk flip-flop SR.
- [5 marks]
[5 markah]
- CLO2
C3 (c) Draw the output waveform, Q and \bar{Q} for JK flip-flop negative edge trigger in Diagram B3(c). Assume $Q_{\text{initial}}=1$. Refer **Appendix 1**
*Lukiskan gelombang keluaran, Q dan \bar{Q} untuk flip-flop JK picuan pinggir negatif di Rajah B3(c). Anggap $Q_{\text{awal}}=1$. Rujuk **Lampiran 1**.*

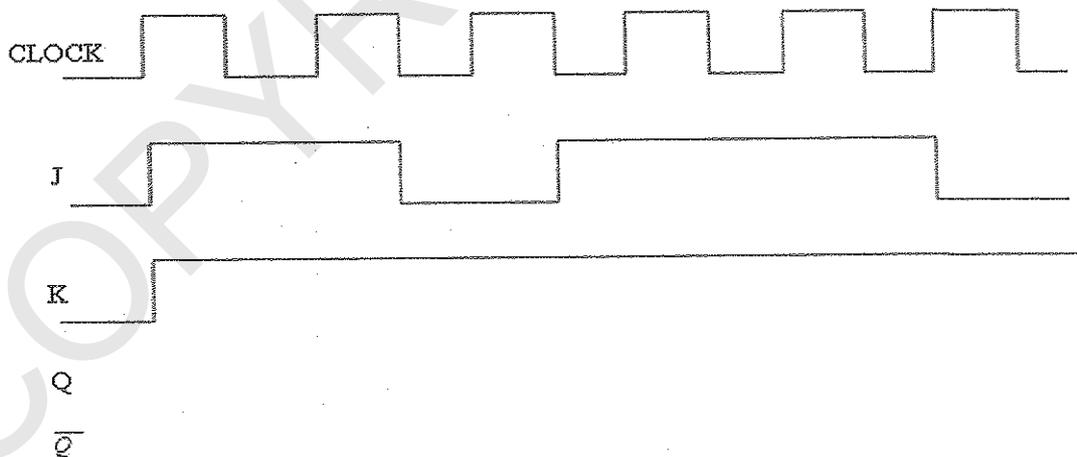


Diagram B3(c)/ Rajah B3(c)

[7 marks]

[7 markah]

QUESTION 4

SOALAN 4

CLO2
C2

- (a) Explain the shift register and state
- TWO (2)**
- of its usages.

Terangkan alat daftar anjakan dan nyatakan DUA (2) kegunaanya.

[3 marks]

[3 markah]

CLO2
C3

- (b) Using D flip-flops, draw the circuit diagram of a 3 bits Ring Counter.

Dengan menggunakan flip flop D, lukiskan gambarajah litar untuk Pembilang Gelang 3 bit.

[6 marks]

[6 markah]

CLO2
C3

- (c) Apply the
- TWO (2)**
- types of arithmetic operation in a shift register to obtain the 2
- nd
- clock shift for the current data 0111 1010.

Aplikasikan DUA (2) jenis operasi aritmetik dalam daftar anjak bagi mendapatkan anjakan jam ke 2 bagi data semasa 0111 1010.

[6 marks]

[6 markah]

SECTION C: 30 MARKS**BAHAGIAN C: 30 MARKAH****INSTRUCTION:**

This section consists of **TWO (2)** essay questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi DUA (2) soalan esei. Jawab SEMUA soalan.

QUESTION 1**SOALAN 1**

CLO2
C3

Given the equation;

Diberikan persamaan;

$$Y(A,B,C,D) = \Sigma m(0,2,4,6,8,9,10,12,13,14)$$

Simplify the Boolean expression above using the K-Map, create a truth tables and designs a logic circuit based on the simplified equations.

Ringkaskan Ungkapan Boolean di atas dengan menggunakan Peta -K, buat jadual kebenaran dan reka bentuk litar logik berdasarkan ungkapan yang telah diringkaskan.

[15 marks]

[15 markah]

QUESTION 2**SOALAN 2**

CLO2
C5

Design an asynchronous counter mode 9 down counter using negative edge-triggered JK flip-flops. Include your answer with a truth table and a timing diagram.

Rekabentuk pembilang tak bergerak bilang ke bawah mod 9 dengan menggunakan "JK flip-flops" picuan pinggir negatif. Sila sertakan jawapan anda dengan jadual kebenaran dan rajah masa.

[15 marks]

[15 markah]

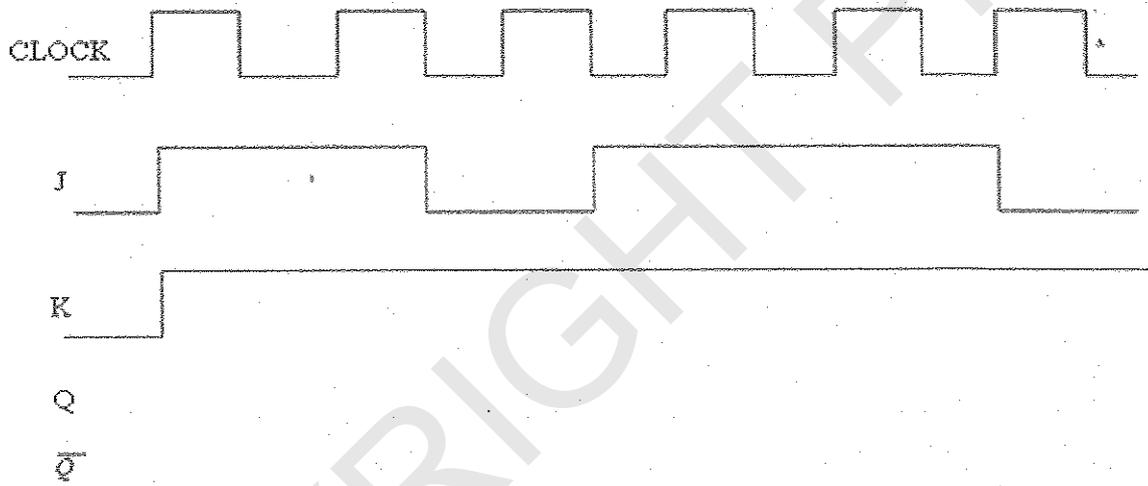
SOALAN TAMAT

APPENDIX 1(QUESTION 3 (C))

LAMPIRAN 1(SOALAN 3 (C))

Tanggalkan helaian ini dan ikat bersama buku jawapan.

NO. SIRI BUKU JAWAPAN:.....



BCD
CODE
→

Decimal	5421	5311	4221	3321	2421	8421	7421
0	0000	0000	0000	0000	0000	0000	0000
1	0001	0001	0001	0001	0001	0001	0001
2	0010	0011	0010	0010	0010	0010	0010
3	0011	0100	0011	0011	0011	0011	0011
4	0100	0101	1000	0101	0100	0100	0100
5	1000	1000	0111	1010	1011	0101	0101
6	1001	1001	1100	1100	1100	0110	0110
7	1010	1011	1101	1101	1101	0111	1000
8	1011	1100	1110	1110	1110	1000	1001
9	1100	1101	1111	1111	1111	1001	1010

ASCII
CODE
→

MSB	Binary	000	001	010	011	100	101	110	111	
LSB	Binary	Hex	0	1	2	3	4	5	6	7
0000	0	Nul	Del	sp	0	@	P		p	
0001	1	Soh	Dc1	1	1	A	Q	a	q	
0010	2	Stx	Dc2	"	2	B	R	b	r	
0011	3	EtX	Dc3	#	3	C	S	c	s	
0100	4	Eof	Dc4	\$	4	D	T	d	t	
0101	5	End	Nak	%	5	E	U	e	u	
0110	6	Ack	Syn	&	6	F	V	f	v	
0111	7	Bel	EtB	'	7	G	W	g	w	
1000	8	Bs	Can	(8	H	X	h	x	
1001	9	HT	Em)	9	I	Y	i	y	
1010	A	LF	Sub	.	:	J	Z	j	z	
1011	B	VT	Esc	+	;	K		k		
1100	C	FF	FS	,	<	L		l		
1101	D	CR	GS	-	=	M		m		
1110	E	SO	RS	:	>	N		n		
1111	F	SI	US	/	?	O		o		