



BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI
KEMENTERIAN PENDIDIKAN MALAYSIA

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI JUN 2019

DEE20033: DIGITAL ELECTRONICS

TARIKH : 19 OKTOBER 2019

MASA : 8.30 PAGI - 10.30 PAGI (2 JAM)

Kertas ini mengandungi **TUJUH (7)** halaman bercetak.

Bahagian A: Struktur (4 soalan)

Bahagian B: Esei (1 soalan)

Dokumen sokongan yang disertakan : Lampiran 1, BCD table, ASCII Code

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SECTION A : 80 MARKS
BAHAGIAN A : 80 MARKAH

INSTRUCTION:

This section consists of **FOUR (4)** structured questions. Answer **ALL** questions.

ARAHAN:

*Bahagian ini mengandungi **EMPAT (4)** soalan berstruktur. Jawab **SEMUA** soalan.*

QUESTION 1

SOALAN 1

CLO1
C1

- (a) State $8AF_{16}$ in binary number.

Nyatakan $8AF_{16}$ dalam nombor binari.

[4 marks]

[4 markah]

CLO1
C2

- (b) Convert the BCD code 1001 0111 0001_{BCD} to its equivalent binary and octal number. See **APPENDIX 2**

*Tukarkan kod BCD 1001 0111 0001_{BCD} kepada nombor binari dan oktal yang senilai. Lihat **LAMPIRAN 2***

[6 marks]

[6 markah]

CLO1
C3

- c) Change the decimal numbers 10_{10} and -15_{10} to 1's complement number in 8-bit representation and solve the 8-bit addition of the decimal numbers using 2's complement for $34_{10} + (-25_{10})$

Tukarkan nombor desimal 10_{10} dan -15_{10} kepada pelengkap satu dalam bentuk 8-bit dan selesaikan penambahan 8-bit bagi nombor desimal menggunakan pelengkap dua bagi $34_{10} + (-25_{10})$

[10marks]

[10markah]

QUESTION 2

SOALAN 2

CLO1
C1

- a) State the logic gate type and logic expression for the logic gate in Figure 2(a).
 Nyatakan jenis get logik dan persamaan logik bagi get logik dalam Rajah 2(a) di bawah.



Figure 2(a) / Rajah 2(a)

[4 marks]

[4 markah]

CLO1
C2

- b) Simplify the following expression using Karnaugh Map.

$$Y = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} + \bar{A}BCD$$

Permudahkan persamaan berikut menggunakan Peta Karnaugh.

$$Y = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}CD + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} + \bar{A}BCD$$

[6 marks]

[6 markah]

CLO1
C3

- c) Construct a three variable truth table with high output (1) for these input conditions: 000, 010, 100 & 110. Write the Sum-of-Product (SOP) equation and sketch the combinational logic circuit.

Bina satu jadual kebenaran dengan tiga pembolehubah mempunyai keluaran tinggi (1) untuk masukan berikut: 000, 010, 100 & 110. Tulis persamaan Jumlah Hasil Darab (SOP) dan lakarkan litar logik gabungan.

[10 marks]

[10 markah]

QUESTION 3

SOALAN 3

CLO1
C1

- a) State the output state for SR flip-flop if the input and output ($Q, \bar{Q}$) are given as in Table 3(a).

Nyatakan keadaan keluaran bagi flip-flop SR jika masukan dan keluaran ($Q, \bar{Q}$) diberi seperti Jadual 3(a).

Table 3(a) / Jadual 3(a)

CLK	S	R	Q	$\bar{Q}$	Output State/keadaan keluaran
$\downarrow$ (1)	1	0	1	0	
$\downarrow$ (1)	0	1	0	1	
— (0)	1	0	0	1	
$\downarrow$ (1)	1	1	0	0	

[4 marks]
[4 markah]

CLO1
C2

- b) Interpret the type of flip-flop (X) shown in Figure 3(b) and represent with the truth table of the this flip-flop.

Interpretasikan jenis flip flop (X) (yang ditunjukkan pada Rajah 3(b) dan wakilkan dengan menggunakan jadual kebenaran bagi flip-flop tersebut.

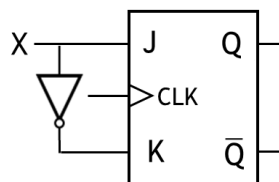


Figure 3(b) / Rajah 3(b)

[6 marks]
[6 markah]

CLO1
C3

- c) Sketch the output Q and $\bar{Q}$ waveform for Positive edge triggered JK flip flop. If the input for clock, J and K are given as Figure 3(a). Assume $Q_{\text{Initial}} = 0$. (Answer in **APPENDIX 1**)

*Lakarkan bentuk gelombang keluaran Q dan $\bar{Q}$ Flip-flop JK Picuan Pinggir Positif. Sekiranya masukan jam, J dan K diberikan seperti Rajah 3(a). Anggap $Q_{\text{Awalan}} = 0$. Jawapan di **LAMPIRAN 1***

[10 marks]

[10 markah]

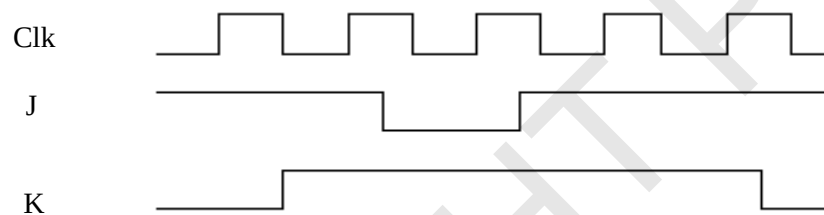


Figure 3(c) / Rajah 3(c)

[10 marks]

[10 markah]

QUESTION 4 SOALAN 4

CLO1
C1

- a) State the number of flip-flop needed to construct a shift register capable of storing for 5 bit binary number, the decimal number up to 64 and Hexadecimal number up to FF_{16}

Nyatakan bilangan flip-flop yang diperlukan untuk membina alat daftar anjakan yang boleh menyimpan data untuk 5 bit nombor binary, nombor desimal sehingga nombor 64 dan nombor heksadesimal sehingga nombor FF_{16}

[4 marks]

[4 markah]

CLO1
C2

- b) The group of bits '1001' is serially shifted into 4-bit parallel output shift register with an initial state '1110'. Interpret a truth table showing how the data is shifted from one flip-flop to the next flip-flop and elaborate the register content at three clock pulse.

Satu kumpulan data '1001' telah dianjakkan secara siri ke dalam alat daftar keluaran selari dengan kandungan awal alat daftar tersebut adalah '1110'. Interpretasikan jadual kebenaran yang menunjukkan bagaimana data tersebut dianjakkan dari satu flip-flop ke flip-flop seterusnya dan perincikan kandungan alat daftar tersebut pada denyut klok yang ketiga.

[6 marks]
[6 markah]

CLO1
C3

- c) Sketch the circuit of shift register 4-bit serial in-serial out (SISO) using D flip-flop and use SISO concept to complete the data in Table 4(c(ii)) when the shift register performs right shift operation on the application of each clock pulse. The data is 11001 and initial state is 00000.

Lakarkan litar bagi alat daftar 4 bit Masukan Siri Keluaran Siri (SISO) dengan menggunakan flip-flop D dan lengkapkan Jadual 4(c(ii)) bagi alat daftar SISO tersebut bagi operasi anjakan kekanan untuk setiap denyut klok. Data masukan adalah 11001 dan anggapkan data awal adalah 00000.

Table 4(c(ii)) / Jadual 4(c(ii))

CLK	Data	Q _a	Q _b	Q _c	Q _d	Q _e
0						
1						
2						
3						
4						
5						

[10 marks]
[10 markah]

SECTION B : 40 MARKS
BAHAGIAN B : 40 MARKAH

INSTRUCTION:

This section consists of **ONE (1)** essay questions. Answer the question.

ARAHAN:

*Bahagian ini mengandungi **SATU (1)** soalan esei. Jawab soalan tersebut.*

QUESTION 1

SOALAN 1

CLO1
C3

Construct a synchronous up counter MOD 6 using T flip-flop with negative edge triggered clock input. Show all the steps involved.

Binakan pembilang segerak ke atas MOD 6 menggunakan T flip-flop dengan masukan jam picuan pinggir negatif. Tunjukkan semua langkah-langkah tersebut.

[20 marks]

[20 markah]

SOALAN TAMAT

APPENDIX 1 / LAMPIRAN 1

(Sila asingkan daripada kertas soalan)

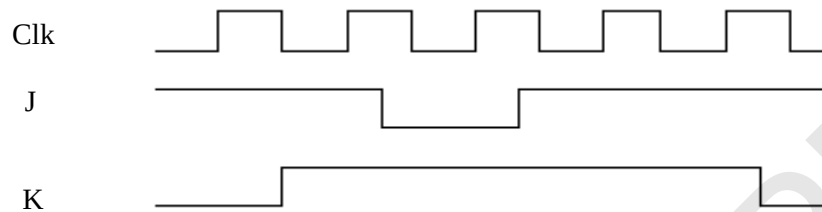


Figure 3(c) / Rajah 3(c)

BCD- Binary Coded Decimal

Desimal	5421	5311	4221	3321	2421	8421	7421
0	0000	0000	0000	0000	0000	0000	0000
1	0001	0001	0001	0001	0001	0001	0001
2	0010	0011	0010	0010	0010	0010	0010
3	0011	0100	0011	0011	0011	0011	0011
4	0100	0101	1000	0101	0100	0100	0100
5	1000	1000	0111	1010	1011	0101	0101
6	1001	1001	1100	1100	1100	0110	0110
7	1010	1011	1101	1101	1101	0111	1000
8	1011	1100	1110	1110	1110	1000	1001
9	1100	1101	1111	1111	1111	1001	1010

ASCII Code

ASCII code stands for American Standard Code for Information Interchange. It is universally accepted and being used in most computers and other electronic devices. It allows manufacturers to standardize I/O hardware such as printers and keyboards.

MSB LSB	Binary	000	001	010	011	100	101	110	111
Binary	Hex	0	1	2	3	4	5	6	7
0000	0	NUL	DLE	sp	0	@	P	`	p
0001	1	SOH	Dc1	!	1	A	Q	a	q
0010	2	STX	Dc2	“	2	B	R	b	r
0011	3	ETX	Dc3	#	3	C	S	c	s
0100	4	EOQ	Dc4	\$	4	D	T	d	t
0101	5	END	Nak	%	5	E	U	e	u
0110	6	ACK	Syn	&	6	F	V	f	v
0111	7	BEL	Etb	‘	7	G	W	g	w
1000	8	BS	Ca n	(	8	H	X	h	x
1001	9	HT	Em	)	9	I	Y	i	y
1010	A	LF	Sub	*	:	J	Z	j	z
1011	B	VT	Esc	+	;	K	[	k	{
1100	C	FF	FS	,	<	L	\	l	
1101	D	CR	GS	-	=	M	]	m	}
1110	E	SO	RS	.	>	N	^	n	~
1111	F	SI	US	/	?	O	-	o	DEL