

SULIT



**KEMENTERIAN PENDIDIKAN TINGGI
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI**

**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI
KEMENTERIAN PENDIDIKAN TINGGI**

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI I : 2025/2026

**DEC50143: CMOS INTEGRATED CIRCUIT DESIGN
& FABRICATION**

TARIKH : 25 NOVEMBER 2025

MASA : 8.30 PAGI – 10.30 PAGI (2 JAM)

Kertas soalan ini mengandungi **TUJUH (7)** halaman bercetak.

Bahagian A: Struktur (3 soalan)

Bahagian B: Esei (2 soalan)

Dokumen sokongan yang disertakan : Tiada

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT

SECTION A: 60 MARKS**BAHAGIAN A: 60 MARKAH****INSTRUCTION:**

This section consists of **THREE (3)** subjective questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi TIGA (3) soalan subjektif. Jawab SEMUA soalan.

QUESTION 1**SOALAN 1**

CLO1

- (a) Integrated Circuit (IC) packages play an important role in the overall performance and reliability of electronic devices. Explain in detail, **THREE (3)** functions of IC packaging

Pakej Litar Bersepadu (IC) memainkan peranan penting dalam prestasi dan kebolehpercayaan peranti elektronik. Terangkan dengan terperinci TIGA (3) fungsi pakej IC.

[6 marks]

[6 markah]

CLO1

- (b) Integrated Circuits (ICs) can be classified according to their fabrication methods. Explain in detail **ONE (1)** of the methods including its advantages and disadvantages.

Litar-litar bersepadu (IC) boleh diklasifikasikan mengikut kaedah fabrikasinya. Terangkan secara terperinci SATU (1) kaedah termasuk kelebihan dan kekurangannya.

[7 marks]

[7markah]

CLO1

- (c) There are two main methods for producing single-crystal silicon which are the Czochralski and Float Zone process. Discuss the Czochralski process.

Terdapat dua kaedah utama untuk menghasilkan silikon hablur tunggal iaitu kaedah Czochralski dan kaedah Float Zone. Bincangkan proses Czochralski.

[7 marks]

[7 markah]

QUESTION 2**SOALAN 2**

CLO1

- (a) In CMOS transistor fabrication, two common problems are latch-up and parasitic capacitance. Elaborate the issue of parasitic capacitance, including its types.

Dalam fabrikasi transistor CMOS, terdapat dua masalah utama iaitu latch-up dan kapasitans parasit. Huraikan masalah kapasitans parasit tersebut, termasuk jenis-jenisnya.

[6 marks]

[6 markah]

CLO1

- (b) In failure analysis, testing methods are divided into Non-Destructive Tests and Destructive Tests. Compare these two methods by discussing their effects on the suitability for subsequent testing, conditions of use, and provide relevant examples.

Dalam analisis kegagalan, kaedah ujian dibahagikan kepada Ujian Tidak Merosakkan (Non-Destructive Test) dan Ujian Merosakkan (Destructive Test). Bandingkan kedua-dua kaedah ini dengan membincangkan kesannya terhadap kesesuaian untuk ujian susulan, keadaan penggunaannya, serta sertakan contoh yang berkaitan.

[6 marks]

[6 markah]

- CLO1 (c) Construct a CMOS digital circuit for the Boolean function:

$$Y = A.(B + C).D$$

Bina litar digital CMOS bagi fungsi Boolean berikut:

$$Y = A.(B + C).D$$

[8 marks]

[8 markah]

QUESTION 3

SOALAN 3

- CLO1 (a) Construct the architecture of Programmable Array Logic (PAL) circuit based on the equation below.

Bina senibina litar Programmable Array Logic (PAL) berdasarkan persamaan di bawah.

$$f_1 = \underline{A}\underline{B}C + BCD + ABC$$

$$f_2 = \underline{B}\underline{C}D + \underline{A}B\underline{D} + AB$$

$$f_3 = ABC + AB + \underline{A}C\underline{D}$$

[6 marks]

[6 markah]

- CLO1 (b) Write the equation for the output of f_1 , f_2 and f_3 , based on Programmable Logic Devices (PLD) in Figure A3(b).

Tuliskan persamaan bagi keluaran f_1 , f_2 dan f_3 berdasarkan Peranti Logik Aturcara (PLD) dalam Rajah A3(b).

[7 marks]

[7 markah]

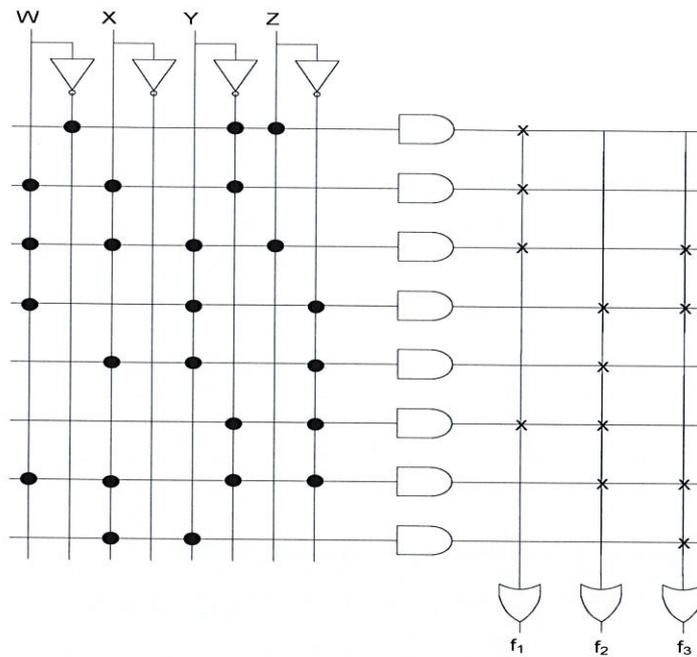


Figure A3(b)/ *Rajah A3(b)*

CLO1

(c) Draw a stick diagram for the transistor logic circuit in Figure A3(c).

Lukis gambar rajah lidi bagi litar logik transistor dalam Rajah A3(c).

[7 marks]

[7 markah]

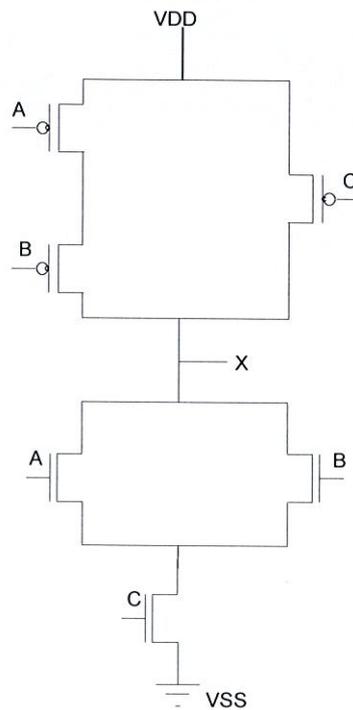


Figure A3(c)/ *Rajah A3(c)*

SECTION B: 40 MARKS**BAHAGIAN B: 40 MARKAH****INSTRUCTION:**

This section consists of **TWO (2)** essay questions. Answer **ALL** questions.

ARAHAN:

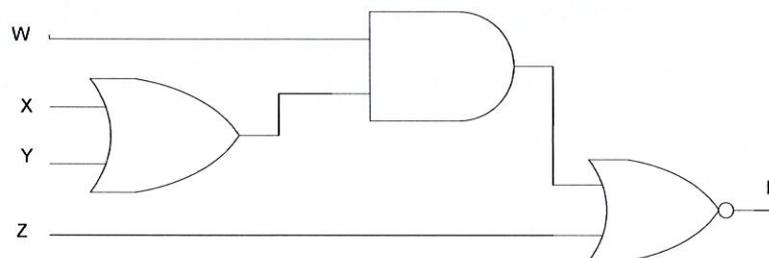
Bahagian ini mengandungi DUA (2) soalan esei. Jawab SEMUA soalan.

QUESTION 1**SOALAN 1**

CLO1

Construct a static CMOS logic circuit and schematic logic circuit with improved switching speeds and size by simplifying the Boolean function in Figure B1 to Pull-Up Network and Pull-Down Network.

Bina litar logik CMOS statik dan litar logik skematik dengan kelajuan pensuisan dan saiz yang dipertingkatkan dengan memudahkan fungsi Boolean dalam Rajah B1 kepada Rangkaian Tarik-Atas dan Rangkaian Tarik-Bawah.

Figure B1/ *Rajah B1*

[20 marks]

[20 markah]

QUESTION 2**SOALAN 2**

CLO1

From the Boolean equation below, design a stick diagram through the static CMOS logic circuit by using the Euler path method.

Daripada persamaan Boolean di bawah, rekabentuk gambar rajah liti melalui litar logik CMOS statik dengan menggunakan kaedah laluan Euler.

$$Y = \overline{R(S + T)}$$

[20 marks]

[20 markah]

SOALAN TAMAT