

SULIT



**KEMENTERIAN PENDIDIKAN TINGGI
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI**

**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI
KEMENTERIAN PENDIDIKAN TINGGI**

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI II : 2024/2025

DEE20033: DIGITAL ELECTRONICS

TARIKH : 10 MEI 2025

MASA : 8.30 PAGI – 10.30 PAGI (2 JAM)

Kertas ini mengandungi **TUJUH (7)** halaman bercetak.

Bahagian A: Subjektif (4 soalan)

Bahagian B: Esei (1 soalan)

Dokumen sokongan yang disertakan Appendix 1, ASCII Code dan BCD

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT

SECTION A: 80 MARKS**BAHAGIAN A: 80 MARKAH****INSTRUCTION:**

This section consists of **FOUR (4)** subjective questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi EMPAT (4) soalan subjektif. Jawab SEMUA soalan.

QUESTION 1**SOALAN 1**

- CLO1 (a) State the type of logic gate and logic expression for the Figure A1(a) below.
Nyatakan jenis get logik dan persamaan logik bagi Rajah A1(a) di bawah.

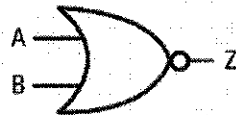


Figure A1(a) / Rajah A1(a)

[4 marks]
 [4 markah]

- CLO1 (b) Convert the numbers $A56.BD_{16}$ and 011100110001_{BCD} to octal number system.
Tukarkan nombor $A56.BD_{16}$ dan 011100110001_{BCD} kepada sistem nombor oktal yang senilai.

[6 marks]
 [6 markah]

- CLO1 (c) Signed number consists of 1's complement and 2's complement. By using 2's complement, solve the 8-bits addition of the decimal number below.

$$(-32_{10}) + (-25_{10})$$

Nombor bertanda terdiri dari pelengkap 1 dan pelengkap 2. Dengan menggunakan pelengkap 2, selesaikan penambahan 8-bit nombor decimal di bawah.

$$(-32_{10}) + (-25_{10})$$

[10 marks]
 [10 markah]

QUESTION 2**SOALAN 2**

CLO1

- (a) State the logic gate type and truth table for the logic gate in Figure A2(a).

Nyatakan jenis get logik dan jadual kebenaran bagi get logik dalam Rajah A2(a).



Figure A2(a) / Rajah A2(a)

[4 marks]
[4 markah]

CLO1

- (b) Interpret the Product of Sum (POS) Boolean Expression from Table A2(b) below:

Terjemahkan Persamaan Boolean Product of Sum (POS) daripada Jadual A2(b) di bawah:

Table A2(b) / Jadual A2(b)

INPUT			OUTPUT
A	B	C	Z
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

[6 marks]
[6 markah]

- CLO1 (c) Derive the simplified Boolean Expression using Karnaugh Maps from the Equation below:

Terbitkan Persamaan Boolean yang dipermudahkan daripada persamaan di bawah dengan menggunakan Peta Karnaugh.

$$Y = C(\bar{A}\bar{B} + B) + AB\bar{C} + AB$$

[10 marks]
[10 markah]

QUESTION 3

SOALAN 3

- CLO1 (a) Define a flip flop and state **TWO (2)** uses of flip flop.

Takrifkan flip flop dan nyatakan 2 kegunaan flip flop.

[4 marks]
[4 markah]

- CLO1 (b) If T waveform is are applied as the input in Figure A3(b), picture the Q and $\bar{Q}$ output waveforms. Assume $Q_{\text{initial}} = 1$ and negative edge trigger clock. **(Please answer this question in Appendix 1).**

Jika bentuk gelombang T digunakan sebagai masukan pada Rajah A3(b), gambarkan bentuk gelombang keluaran Q dan $\bar{Q}$. Anggapkan $Q_{\text{awal}} = 1$ dan jam picuan negatif. (Sila jawab soalan ini di Lampiran 1).

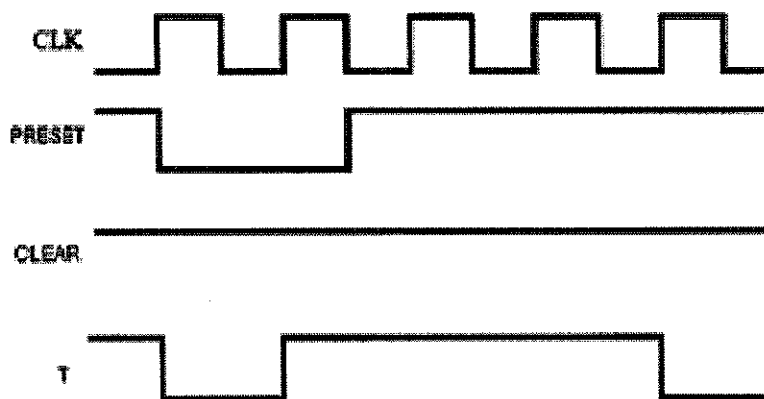


Figure A3(b)/ Rajah A3(b)

[6 marks]

[6 markah]
SULIT

- CLO1 (c) JK flip flop can be applied to construct T and D flip flops. Draw the logic circuit for T flip flop and D flip flop by using JK flip flop.

Flip flop JK boleh digunakan untuk membina flip flop T and D. Lukiskan litar logik flip flop T dan D menggunakan flip flop JK.

[10 marks]
[10 markah]

QUESTION 4

SOALAN 4

- CLO1 (a) State **ONE (1)** difference related to data movement for SISO and PIPO shift registers.
*Nyatakan **SATU (1)** perbezaan berkaitan dengan pergerakan data untuk daftar anjakan SISO dan PIPO.*

[4 marks]
[4 markah]

- CLO1 (b) Explain the step to construct a 2-bit Asynchronous Up Counter using JK flip-flop with positive trigger.
Terangkan langkah untuk membina 2-bit Asynchronous Up Counter menggunakan JK flip flop dengan picuan positif.

[6 marks]
[6 markah]

- CLO1 (c) Use SISO concept to complete the data in Table A4(c) when the shift register performs right shift operation on the application of each clock pulse. The given input data is 10001 and initial state is 00000.

Gunakan konsep SISO untuk melengkapkan data dalam Jadual A4(c) apabila daftar anjakan melakukan operasi anjak ke kanan pada setiap jam. Data input yang diberi 10001 dan keadaan awal ialah 00000.

Table A4(c)/*Jadual A4(c)*

CLK	Data	QA	QB	QC	QD	QE
0						
1						
2						
3						
4						
5						

[10 marks]
[10 markah]

SECTION B: 20 MARKS**BAHAGIAN B: 20 MARKAH****INSTRUCTION:**

This section consists of **ONE(1)** essay question. Answer the question.

ARAHAN:

Bahagian ini mengandungi SATU(1) soalan esei. Jawab soalan tersebut.

CLO1

There are two types of counter which are asynchronous counter and synchronous counter. Construct a synchronous counter that can count the random number 6, 2, 3, 4 repeatedly by using negative edge triggered JK flip-flop.

Terdapat dua jenis pembilang iaitu pembilang tak segerak dan pembilang segerak. Binakan litar pembilang segerak yang boleh membilang nombor secara rawak 6,2,3,4 secara berulang dengan menggunakan flip-flop JK picuan pinggir negatif.

[20 marks]
[20 markah]

SOALAN TAMAT

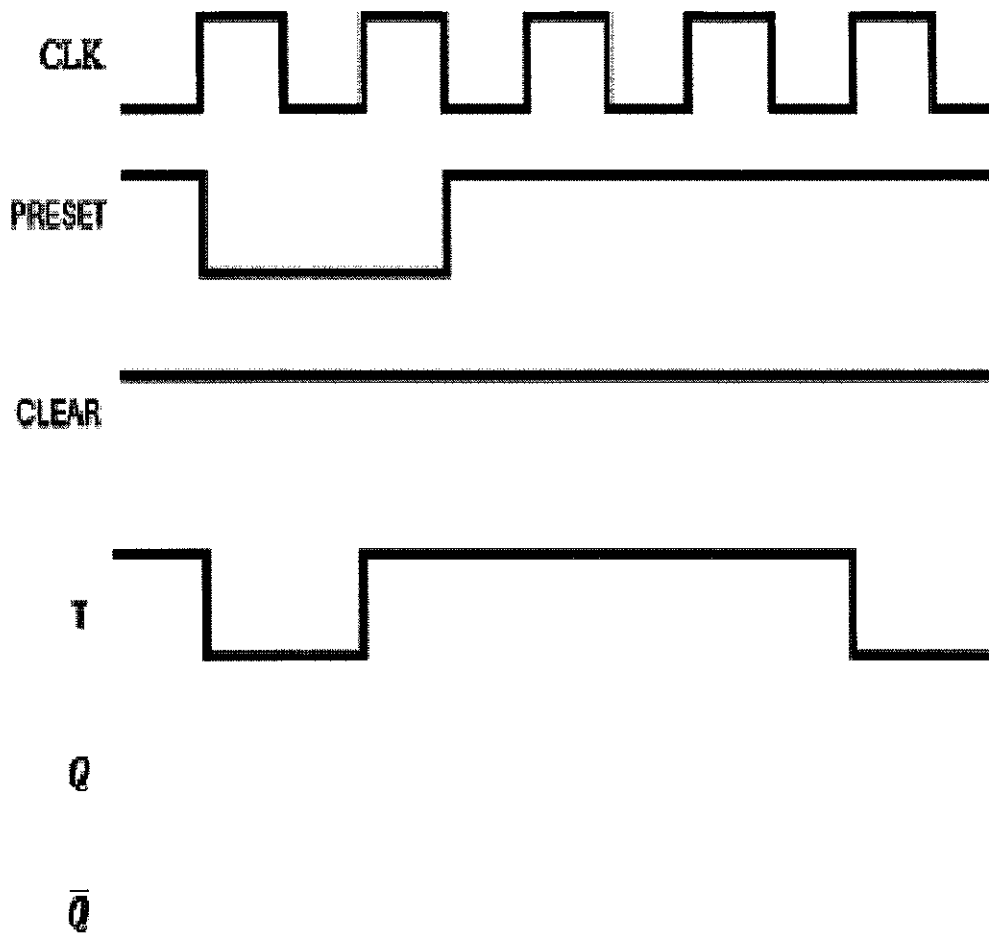
Appendix 1/ *Lampiran 1*

NO.SIRI BUKU JAWAPAN :

Note : This attachment must be sent with the answer book.

Nota : Lampiran ini mestilah dihantar bersama buku jawapan.

QUESTION 3(b)

SOALAN 3(b)Figure A3(b) / *Rajah A3(b)*

Appendix 2 / Lampiran 2

ASCII Code

MSB									
LSB	Binary	000	001	010	011	100	101	110	111
Binary	Hex	0	1	2	3	4	5	6	7
0000	0	NUL	DLE	sp	0	@	P	`	p
0001	1	SOH	Dc1	!	1	A	Q	a	q
0010	2	STX	Dc2	“	2	B	R	b	r
0011	3	ETX	Dc3	#	3	C	S	c	s
0100	4	EOQ	Dc4	\$	4	D	T	d	t
0101	5	END	Nak	%	5	E	U	e	u
0110	6	ACK	Syn	&	6	F	V	f	v
0111	7	BEL	Etb	‘	7	G	W	g	w
1000	8	BS	Can	(	8	H	X	h	x
1001	9	HT	Em	)	9	I	Y	i	y
1010	A	LF	Sub	*	:	J	Z	j	z
1011	B	VT	Esc	+	;	K	[	k	{
1100	C	FF	FS	,	<	L	\	l	
1101	D	CR	GS	-	=	M	]	m	}
1110	E	SO	RS	.	>	N	^	n	~
1111	F	SI	US	/	?	O	-	o	DEL

BCD- Binary Coded Decimal

Decimal	5421	5311	4221	3321	2421	8421	7421
0	0000	0000	0000	0000	0000	0000	0000
1	0001	0001	0001	0001	0001	0001	0001
2	0010	0011	0010	0010	0010	0010	0010
3	0011	0100	0011	0011	0011	0011	0011
4	0100	0101	1000	0101	0100	0100	0100
5	1000	1000	0111	1010	1011	0101	0101
6	1001	1001	1100	1100	1100	0110	0110
7	1010	1011	1101	1101	1101	0111	1000
8	1011	1100	1110	1110	1110	1000	1001
9	1100	1101	1111	1111	1111	1001	1010