

SULIT



**KEMENTERIAN PENDIDIKAN TINGGI
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI**

**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI
KEMENTERIAN PENDIDIKAN TINGGI**

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI I : 2024/2025

DEE20033: DIGITAL ELECTRONICS

TARIKH : 10 DISEMBER 2024

MASA : 8.30 AM – 10.30 AM (2 JAM)

Kertas soalan ini mengandungi **LAPAN (8)** halaman bercetak.

Bahagian A: Subjektif (4 soalan)

Bahagian B: Esei (1 soalan)

Dokumen sokongan yang disertakan : Formula

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT

SECTION A: 80 MARKS**BAHAGIAN A: 80 MARKAH****INSTRUCTION:**

This section consists of **FOUR (4)** subjective questions. Answer **ALL** questions.

ARAHAN:

*Bahagian ini mengandungi **EMPAT (4)** soalan subjektif. Jawab **SEMUA** soalan.*

QUESTION 1**SOALAN 1**

- CLO1 (a) State the symbol and the logic expression of XOR Gate.
Nyatakan simbol dan pernyataan logik bagi Get XOR
[4 marks]
[4 markah]
- CLO1 (b) Convert 10000110_{BCD} code to its equivalent binary and hexadecimal number.
Tukarkan kod 10000110_{BCD} kepada nombor perduaan dan nombor perenambelasan yang senilai.
[6 marks]
[6 markah]
- CLO1 (c) Signed number consists of 1's complement and 2's complement. By using 2's complement, solve the 8-bits addition of decimal number below.
Nombor bertanda terdiri dari pelengkap 1 dan pelengkap 2. Dengan menggunakan pelengkap 2, selesaikan penambahan 8-bit nombor decimal di bawah.
$$-55_{10} + 99_{10}$$

[10 marks]
[10 markah]

QUESTION 2**SOALAN 2**

- CLO1 (a) State the truth table for NOR Gate.

Nyatakan jadual kebenaran bagi Get NOR.

[4 marks]

[4 markah]

- CLO1 (b) By using Boolean algebra, simplify the expression below.

Dengan menggunakan algebra Boolean, permudahkan persamaan di bawah.

$$F = AB + A(B + C) + B(B + C)$$

[6 marks]

[6 markah]

- CLO1 (c) Derive the simplified Boolean Expression by using Karnaugh Maps from the equation below.

Terbitkan persamaan Boolean yang telah dipermudahkan daripada persamaan di bawah dengan menggunakan Peta Karnaugh.

$$Y = \overline{BC} + \overline{AB} + \overline{ABC} + \overline{ABCD} + \overline{ABCD} + \overline{ABCD}$$

[10 marks]

[10 markah]

QUESTION 3

SOALAN 3

- CLO1 (a) List **FOUR (4)** types of flip flop.
*Senaraikan **EMPAT (4)** jenis flip flop.*

[4 marks]

[4 markah]

- CLO1 (b) With the aid of a diagram and truth table, explain how T flip flop can be built using JK flip flop.
Dengan bantuan rajah dan jadual kebenaran, terangkan bagaimana T flip flop boleh dibina dengan menggunakan JK flip flop.

[6 marks]

[6 markah]

- CLO1 (c) Figure A3 (c) is an input of positive edge triggered JK flip flop. Draw the output waveform of Q and $\bar{Q}$ with initial Q = 0.
Rajah A3 (c) adalah input bagi flip flop JK terketus tepi positif. Lukiskan bentuk keluaran gelombang Q dan $\bar{Q}$ dengan permulaan Q = 0.

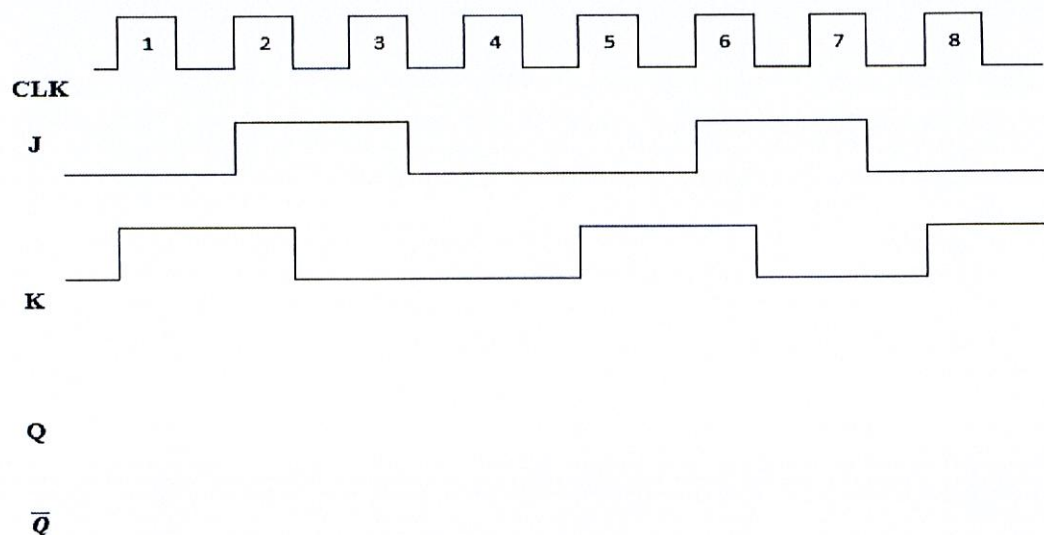


Figure A3(c) / Rajah A3(c)

[10 marks]

[10 markah]

QUESTION 4**SOALAN 4**

CLO1

- (a) State **FOUR (4)** applications of shift register.
*Nyatakan **EMPAT (4)** aplikasi daftar anjakan.*

[4 marks]

[4 markah]

CLO1

- (b) Compare a MOD 8 Asynchronous UP Counter and MOD 4 Asynchronous DOWN Counter with respect to the number of flip-flops used, the connection of the second clock to the first flip-flop (Q or Q') and sequence numbers generated, if both counters are using negative edge triggered clock and JK flip-flop.

Bandingkan Pembilang Tak Segerak ke atas MOD 8 dan Pembilang Tak Segerak ke bawah MOD 4 yang berkaitan dengan bilangan flip-flop yang digunakan, sambungan jam kedua ke flip-flop pertama (Q atau Q') dan nombor jujukan yang dijana jika kedua-dua pembilang adalah menggunakan jam pinggir negatif dan flip-flop JK.

	MOD 8 Asynchronous UP Counter	MOD 4 Asynchronous DOWN Counter
Number of flip-flops used		
Connection of the second clock to the first flip-flop (Q or Q')		
Sequence number generated		

[6 marks]

[6 markah]

- CLO1 (c) The existing data of 4-bit Serial In Serial Out Shift Register is 1011. The register is shifted 4 times to the right with the new data entry of 0101. Draw the 4-bit Serial In Serial Out Shift Register circuit and the truth table for 4 clock cycle.

Data sedia ada Daftar Anjakan Masukan Siri/Keluaran Siri 4-bit ialah 1011. Daftar ini dianjak 4 kali ke kanan dengan kemasukan data baharu 0101. Lukiskan litar Daftar Anjakan Masukan Siri/Keluaran Siri 4-bit dan jadual kebenaran untuk 4 jam kitaran.

[10 marks]

[10 markah]

SECTION B: 20 MARKS**BAHAGIAN B: 20 MARKAH****INSTRUCTION:**

This section consists of **ONE (1)** essay question. Answer the question.

ARAHAN:

*Bahagian ini mengandungi **SATU (1)** soalan esei. Jawab soalan tersebut.*

- CLO1 Construct a synchronous up counter circuit by using a T flip-flop that will count the numbers from 0,1,3,5 and 7. Illustrate your design with the state diagram, excitation table, simplified Boolean equation using Karnaugh Map and a logic circuit.

Bina pembilang litar segerak ke atas dengan menggunakan flip-flop T yang akan mengira nombor daripada 0,1,3,5 dan 7. Reka bentuk litar anda mestilah disertakan dengan rajah keadaan, Jadual Ujaan, Persamaan Boolean yang telah diringkaskan dengan menggunakan Peta Karnaugh dan litar logik.

[20 marks]

[20 markah]

SOALAN TAMAT

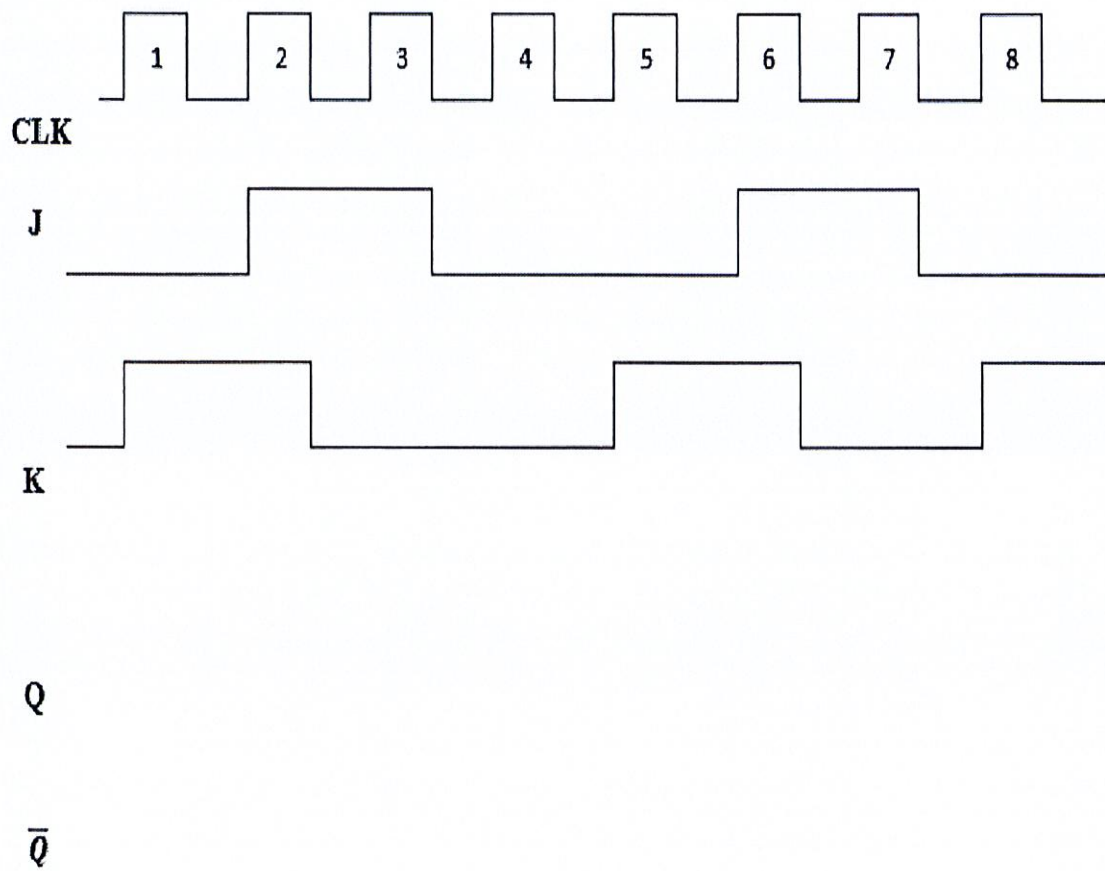
APPENDIX 1 / LAMPIRAN 1

NO. SIRI BUKU JAWAPAN :

Nota : Lampiran ini mestilah dihantar bersama buku jawapan.

QUESTION 3 (c)

SOALAN 3 (c)



Appendix 2/ Lampiran 2

ASCII Code

MSB									
LSB	Binary	000	001	010	011	100	101	110	111
Binary	Hex	0	1	2	3	4	5	6	7
0000	0	NUL	DLE	sp	0	@	P	`	p
0001	1	SOH	Dc1	!	1	A	Q	a	q
0010	2	STX	Dc2	“	2	B	R	b	r
0011	3	ETX	Dc3	#	3	C	S	c	s
0100	4	EOQ	Dc4	\$	4	D	T	d	t
0101	5	END	Nak	%	5	E	U	e	u
0110	6	ACK	Syn	&	6	F	V	f	v
0111	7	BEL	Etb	‘	7	G	W	g	w
1000	8	BS	Can	(	8	H	X	h	x
1001	9	HT	Em	)	9	I	Y	i	y
1010	A	LF	Sub	*	:	J	Z	j	z
1011	B	VT	Esc	+	;	K	[	k	{
1100	C	FF	FS	,	<	L	\	l	
1101	D	CR	GS	-	=	M	]	m	}
1110	E	SO	RS	.	>	N	^	n	~
1111	F	SI	US	/	?	O	-	o	DEL

BCD- Binary Coded Decimal

Decimal	5421	5311	4221	3321	2421	8421	7421
0	0000	0000	0000	0000	0000	0000	0000
1	0001	0001	0001	0001	0001	0001	0001
2	0010	0011	0010	0010	0010	0010	0010
3	0011	0100	0011	0011	0011	0011	0011
4	0100	0101	1000	0101	0100	0100	0100
5	1000	1000	0111	1010	1011	0101	0101
6	1001	1001	1100	1100	1100	0110	0110
7	1010	1011	1101	1101	1101	0111	1000
8	1011	1100	1110	1110	1110	1000	1001
9	1100	1101	1111	1111	1111	1001	1010