

SULIT



**KEMENTERIAN PENDIDIKAN TINGGI
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI**

**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI
KEMENTERIAN PENDIDIKAN TINGGI**

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI I : 2024/2025

DEC30032: COMPUTER ARCHITECTURE AND ORGANIZATION

**TARIKH: 24 NOVEMBER 2024
MASA : 8.30 PAGI – 10.30 PAGI (2 JAM)**

Kertas soalan ini mengandungi **ENAM (6)** halaman bercetak.
Bahagian A: Subjektif (4 soalan)
Bahagian B: Esei (1 soalan)
Dokumen sokongan yang disertakan : Tiada

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT

SECTION A : 80 MARKS**BAHAGIAN A : 80 MARKAH****INSTRUCTION:**

This section consists of **FOUR (4)** subjective questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi EMPAT (4) soalan subjektif. Jawab semua soalan.

QUESTION 1**SOALAN 1**

- CLO1 (a) Define computer architecture and computer organization.
Jelaskan maksud bagi senibina komputer dan organisasi computer.
[4 marks]
[4 markah]
- CLO1 (b) Demonstrate the steps of the instruction cycle in a pipelining operation with suitable diagram.
Tunjukkan langkah-langkah operasi 'pipelining' bagi kitaran arahan dengan rajah yang sesuai.
[8 marks]
[8 markah]
- CLO1 (c) Solve the following arithmetic operation using 2's complements.
Selesaikan operasi aritmetik di bawah menggunakan teknik pelengkap dua.
$$15_{10} - 20_{10}$$
$$-15_{10} + 20_{10}$$

[8 marks]
[8 markah]

QUESTION 2**SOALAN 2**

CLO1

(a) State the components in the computer system.

Nyatakan komponen-komponen dalam sistem komputer.

[4 marks]

[4 markah]

CLO1

(b) Sketch the Full Adder Logic Circuit diagram with labels.

Lakarkan Litar Logik bagi Penambah Penuh beserta label.

[8 marks]

[8 markah]

CLO1

(c) Based on the Figure A2(c), show how Associative Mapping and Set-Associative Mapping are implemented differently in cache memory.

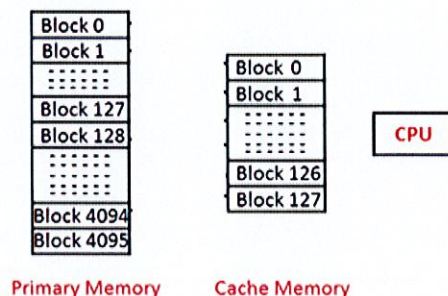
Berdasarkan Rajah A2(c), tunjukkan bagaimana 'Associative Mapping' dan Set-Associative Mapping' dilaksanakan secara berbeza dalam ingatan cache.

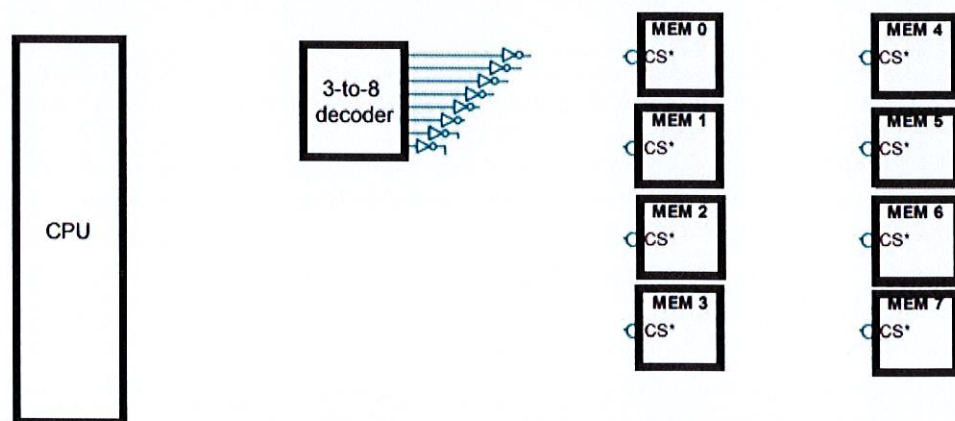
Figure A2/Rajah A2

[8 marks]

[8markah]

QUESTION 3**SOALAN 3**

- CLO1 (a) Explain the definition of Internal and External Memory.
Terangkan definisi bagi Ingatan Dalaman dan Ingatan Luaran.
 [5 marks]
 [5 markah]
- CLO1 (b) Elaborate on how Direct Mapping is implemented for 128 cache memory with suitable diagram.
Huraikan cara pelaksanaan pemetaan terus untuk memori cache 128 dengan rajah yang sesuai.
 [5 marks]
 [5 markah]
- CLO1 (c) Referring to Diagram A3(c), complete the data flow when the CPU sends 10 address lines for accessing 1 kB of data to the memory chip.
Merujuk kepada Rajah A3(c), lengkapkan arah aliran data apabila CPU menghantar 10 baris alamat bagi (1KB) data ke memori cip.
 [10 marks]
 [10 markah]

**Diagram A3(c)/Rajah A3(c)**

QUESTION 4**SOALAN 4**

- CLO1 (a) Elaborate **FIVE (5)** important advantages using Direct Memory Access (DMA) over devices that do not use it.
*Huraikan **LIMA (5)** kelebihan utama 'Direct Memory Access' (DMA) berbanding alat yang tidak menggunakannya.*
[5 marks]
[5 markah]
- CLO1 (b) Explain **TWO (2)** types of Host Controller of Universal Serial Bus (USB).
*Terangkan **DUA (2)** jenis 'Host Controller' bagi 'Universal Serial Bus' (USB).*
[5 marks]
[5 markah]
- CLO1 (c) Asynchronous Handshaking data transfer mode does not require the device running under same Clocking time. Using detail time sketch, write data transmission step process using Handshaking mode.
Mod penghantaran data 'Asynchronous Handshaking' tidak memerlukan peranti beroperasi di bawah tempoh pemasa yang sama. Menggunakan gambarajah pemasa yang lengkap terangkan proses penghantaran data menggunakan mod 'handshaking'.
[10 marks]
[10 markah]

SECTION B : 20 MARKS**BAHAGIAN B : 20 MARKAH****INSTRUCTION:**

This section consists of **ONE (1)** essay questions. Answer the question.

ARAHAN:

*Bahagian ini mengandungi **SATU (1)** soalan esei. Jawab soalan berikut.*

QUESTION 1**SOALAN 1**

- CLO1 A full adder logic is designed in such a manner that can take eight inputs together to create a byte-wide adder (8-bit) and cascade the carry bit from one adder to the another. Set up an 8-bit "ripple carry adder" with the appropriate schematic for the sum of $190_{10} + 59_{10}$ when $C_{in} = 1$.

Logik penambah penuh direka dengan cara yang boleh mengambil lapan input bersama-sama untuk membuat penambah byte (8-bit) dan menyusun bit bawaan dari satu penambah kepada yang lain. Dengan gambarajah yang sesuai, setkan 8-bit 'ripple carry adder' dan selesaikan $190_{10} + 59_{10}$ ketika $C_{in} = 1$.

[20 marks]

[20 markah]

SOALAN TAMAT