

SULIT



**KEMENTERIAN PENDIDIKAN TINGGI
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI**

**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI
KEMENTERIAN PENDIDIKAN TINGGI**

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI II : 2022/2023

DEE20033: DIGITAL ELECTRONICS

TARIKH : 21 JUN 2023

MASA : 8.30 PAGI – 10.30 PAGI (2 JAM)

Kertas ini mengandungi **TUJUH (7)** halaman bercetak.

Bahagian A: Subjektif (4 soalan)

Bahagian B: Esei (1 soalan)

Dokumen sokongan yang disertakan : Lampiran 1 & Lampiran 2 : BCD Code
dan ASCII Code

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT

SECTION A: 80 MARKS
BAHAGIAN A: 80 MARKAH

INSTRUCTION:

This section consists of **FOUR (4)** structured questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi EMPAT (4) soalan berstruktur. Jawab SEMUA soalan.

QUESTION 1

SOALAN 1

- | | |
|------|--|
| CLO1 | <p>(a) Give the symbol of X-OR Gate and truth table for the logic gate.
<i>Berikan simbol Get X-ATAU dan jadual kebenaran untuk get logik tersebut.</i></p> <p style="text-align: right;">[4 marks]
[4 markah]</p> |
| CLO1 | <p>(b) Convert these two numbers 39_{10} to its octal equivalent and 1011000001010101_2 to its hexadecimal equivalent.</p> <p><i>Tukarkan dua nombor berikut 39_{10} kepada nombor asas 8 yang sepadan dan 1011000001010101_2 kepada nombor asas 16 yang sepadan.</i></p> <p style="text-align: right;">[6 marks]
[6 markah]</p> |
| CLO1 | <p>(c) Carry out the addition for +4 and -6 in 8-bits by using 2's complement method.</p> <p><i>Tambahkan bagi nombor +4 dan -6 dalam 8-bit dengan menggunakan kaedah pelengkap-2.</i></p> <p style="text-align: right;">[10 marks]
[10 markah]</p> |

QUESTION 2**SOALAN 2**

- CLO1 (a) Indicate the OR gate by using only the NAND gate.

Tunjukkan get ATAU hanya menggunakan get TAK DAN.

[4 marks]

[4 markah]

- CLO1 (b) Interpret the **Sum of Product (SOP)** Boolean Expression from Table A2(b) below:

*Terjemahkan Persamaan Boolean **Sum of Product (SOP)** daripada Jadual A2(b) di bawah:*

Table A2(b) / Jadual A2(b)

INPUT			OUTPUT
A	B	C	Z
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

[6 marks]

[6 markah]

- CLO1 (c) Derive the simplified Boolean Expression by using **Karnaugh Maps** from the equation below.

Terbitkan Persamaan Boolean yang dipermudahkan daripada persamaan di bawah dengan menggunakan Peta Karnaugh.

$$Z = \overline{A}C + ACD + ACD + AB\overline{C}D + \overline{A}\overline{B}CD$$

[10 marks]

[10 markah]

QUESTION 3

SOALAN 3

- CLO1 (a) State the output for T flip-flop as given in Table A3(a) below.
Nyatakan keluaran bagi flip-flop T seperti yang diberi dalam Jadual A3(a) di bawah.

Table A3(a) / Jadual A3(a)

Input	Before Clock		After Clock	
T	Q_n	$\overline{Q_n}$	Q_{n+1}	$\overline{Q_{n+1}}$
1	1	0		
0	0	1	0	1
1	0		1	0
1	1	0		
0		1	0	1
1	0	1		

[4 marks]

[4 markah]

- CLO1 (b) By using a suitable diagram, explain the operation of the JK Flip Flop with Preset (PR) and Clear (CLR).

Dengan menggunakan gambarajah yang sesuai, terangkan operasi flip-flop JK dengan masukan Preset (PR) dan Clear (CLR).

[6 marks]

[6 markah]

- CLO1 (c) The input for CLK, J, K, PRESET (PRE) and CLEAR (CLR) are shown in Figure A3(c) below. Express the output waveform for Q if the flip flop is a negative edge triggered and $Q_{\text{initial}} = 0$. Use Appendix 1.

Masukan bagi CLK, J, K, PRESET (PRE) dan CLEAR (CLR) ditunjukkan dalam Rajah 3a di bawah. Nyatakan gelombang keluaran Q sekiranya flip-flop pada picuan pinggir negatif dan $Q_{\text{awal}} = 0$. Guna Lampiran 1.

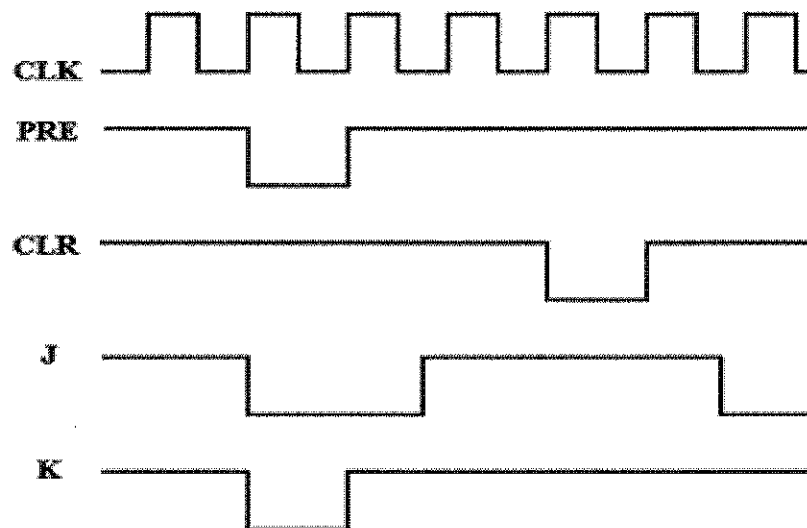


Figure A3(c) / Rajah A3(c)

[10 marks]

[10 markah]

QUESTION 4**SOALAN 4**

- CLO1 (a) List down **FOUR (4)** types of shift registers.
Senaraikan EMPAT (4) jenis daftar anjak.
- [4 marks]
[4 markah]
- CLO1 (b) If the output frequency (f_{out}) for a 4-bits asynchronous counter is 40 KHz.
Locate the value of input frequency (f_{in}) of the counter and output frequency (f_{out}) for second flip-flop.
- Jika nilai frekuensi keluaran (f_{out}) bagi pembilang tak segerak 4-bit adalah 40KHz. Cari nilai frekuensi masukan (f_{in}) bagi pembilang dan frekuensi keluaran (f_{out}) bagi flip-flop ke dua.*
- [6 marks]
[6 markah]
- CLO1 (c) With the aid of circuit diagram, demonstrate the operation of multiply by 2 register with explanation include an example of this operation.
- Dengan bantuan gambarajah litar, tunjukkan operasi darab 2 daftar anjakan dengan penerangan beserta contoh bagi operasi ini.*
- [10 marks]
[10 markah]

SECTION B: 20 MARKS
BAHAGIAN B: 20 MARKAH

INSTRUCTION:

This section consists of **ONE (1)** essay question. Answer the question.

ARAHAN:

*Bahagian ini mengandungi **SATU (1)** soalan esei. Jawab soalan tersebut.*

QUESTION 1

SOALAN 1

CLO1 There are two types of counter in digital counter. Construct a synchronous counter circuit that counts the random number 7, 4, 3, 0 repeatedly by using JK flip-flop with negative edge triggered.

Terdapat dua jenis pembilang di dalam pembilang berdigit. Binakan satu pembilang segerak yang boleh membilang nombor secara rawak iaitu 7, 4, 3, 0 secara berulang dengan menggunakan filp-flop JK picuan pinggiran negatif.

[20 marks]

[20 markah]

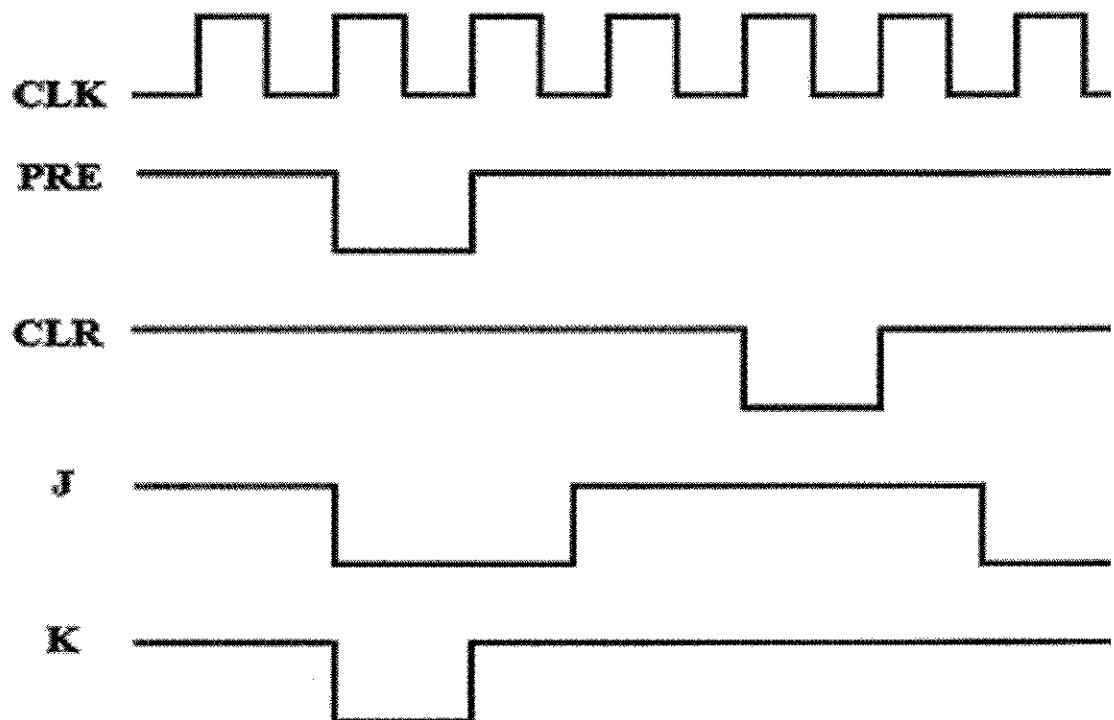
SOALAN TAMAT

Appendix 1/ *Lampiran 1*

NO.SIRI BUKU JAWAPAN :

Note : This attachment must be sent with the answer book.*Nota : Lampiran ini mestilah dihantar bersama buku jawapan.*

QUESTION 3(c)

SOALAN 3(c)

Q

Figure A3(c) / *Rajah A3(c)*

Appendix 2 / *Lampiran 2***BCD- Binary Coded Decimal**

Desimal	5421	5311	4221	3321	2421	8421	7421
0	0000	0000	0000	0000	0000	0000	0000
1	0001	0001	0001	0001	0001	0001	0001
2	0010	0011	0010	0010	0010	0010	0010
3	0011	0100	0011	0011	0011	0011	0011
4	0100	0101	1000	0101	0100	0100	0100
5	1000	1000	0111	1010	1011	0101	0101
6	1001	1001	1100	1100	1100	0110	0110
7	1010	1011	1101	1101	1101	0111	1000
8	1011	1100	1110	1110	1110	1000	1001
9	1100	1101	1111	1111	1111	1001	1010

ASCII Code

MSB									
LSB	Binary	000	001	010	011	100	101	110	111
Binary	Hex	0	1	2	3	4	5	6	7
0000	0	NUL	DLE	sp	0	@	P	`	p
0001	1	SOH	Dc1	!	1	A	Q	a	q
0010	2	STX	Dc2	"	2	B	R	b	r
0011	3	ETX	Dc3	#	3	C	S	c	s
0100	4	EOQ	Dc4	\$	4	D	T	d	t
0101	5	END	Nak	%	5	E	U	e	u
0110	6	ACK	Syn	&	6	F	V	f	v
0111	7	BEL	Etb	'	7	G	W	g	w
1000	8	BS	Ca n	(	8	H	X	h	x
1001	9	HT	Em	)	9	I	Y	i	y
1010	A	LF	Sub	*	:	J	Z	j	z
1011	B	VT	Esc	+	;	K	[	k	{
1100	C	FF	FS	,	<	L	\	l	
1101	D	CR	GS	-	=	M	]	m	}
1110	E	SO	RS	.	>	N	^	n	~
1111	F	SI	US	/	?	O	-	o	DEL