

SULIT



**KEMENTERIAN PENDIDIKAN TINGGI
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI**

**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI
KEMENTERIAN PENDIDIKAN TINGGI**

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI II : 2025/2026

DEE20153 : DIGITAL ELECTRONICS

TARIKH : 30 APRIL 2026

MASA : 8.30 PAGI – 10.30 PAGI (2 JAM)

Kertas soalan ini mengandungi **TUJUH (7)** halaman bercetak.

Bahagian A: Struktur (4 soalan)

Bahagian B: Esei (1 soalan)

Dokumen sokongan yang disertakan : Lampiran

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT

DEU40083SECTION A : 20 MARKS
BAHAGIAN A : 20 MARKAH

INSTRUCTION:

This section consists of **FOUR (4)** structured questions. Answer **ALL** questions.

ARAHAN :

*Bahagian ini mengandungi **EMPAT (4)** soalan berstruktur. Jawab **SEMUA** soalan.*

QUESTION 1

SOALAN 1

- CLO1 a) Describe the octal number system by stating its definition, its base, and **ONE (1)** reason why it is used in digital systems.
*Terangkan sistem nombor oktal dengan menyatakan definisi, asas, dan **SATU (1)** sebab ia digunakan dalam sistem digital.*
- [4 marks]
[4 markah]
- CLO1 b) Given the BCD code is 100100111_{BCD} . Convert the code into a Binary number (Base 2).
Diberi kod BCD ialah 100100111_{BCD} . Tukarkan kod tersebut kepada nombor Perduaan (Asas 2).
- [6 marks]
[6 markah]
- CLO1 c) Solve the 8-bits addition of the decimal number below using 2's complement.
Selesaikan penambahan 8-bit bagi nombor perpuluhan di bawah menggunakan pelengkap dua.
- $(65_{10}) + (-28_{10})$
- [10 marks]
[10 markah]

QUESTION 2**SOALAN 2**

CLO1

- a) State the definition of a flip-flop and list **TWO (2)** types of flip-flop devices commonly used in digital logic circuits.

Nyatakan definisi bagi flip-flop dan senaraikan DUA (2) jenis peranti flip-flop yang sering digunakan dalam litar logik digital.

[4 marks]

[4 markah]

CLO1

- b) Fill in the blanks in Table A2(b) below.

Isikan tempat kosong pada Jadual A2(b) di bawah.

Table A2(b) / Jadual A2(b)

Input		Before Clock		After Clock		Output State
J	K	Q_n	$\overline{Q_n}$	Q_{n+1}	$\overline{Q_{n+1}}$	
0	0	0		0	1	HOLD
1	0	0	1		0	
1	1	1	0	0	1	
	1	0	1	0	1	

[6 marks]

[6 markah]

CLO1

- c) Derive the simplest Boolean expression by using De Morgan's Theorem for the equation given below and construct the equivalent logic circuit for the final answer.

Terbitkan ungkapan Boolean yang paling ringkas dengan menggunakan Teorem De Morgan bagi persamaan yang diberikan di bawah dan bina litar logik yang setara bagi jawapan akhir tersebut.

$$F = \overline{(A \cdot B) + (\overline{C} \cdot D)}$$

[10 marks]

[10 markah]

QUESTION 3**SOALAN 3**

- | | |
|------|--|
| CLO1 | <p>a) List FOUR (4) output states that are possible for a JK flip-flop.</p> <p><i>Senaraikan EMPAT (4) keadaan output yang mungkin bagi sebuah JK flip-flop.</i></p> <p style="text-align: right;">[4 marks]
[4 markah]</p> |
| CLO1 | <p>b) There is an asynchronous up-counter consisting of THREE (3) JK flip-flops. Interpret the counting sequence of the counter into decimal form for each clock cycle and determine the Modulus (MOD) value of the counter.</p> <p><i>Terdapat sebuah pembilang tak segerak bilang atas yang terdiri daripada TIGA (3) flip-flop JK. Interpretasikan urutan kiraan pembilang tersebut ke dalam bentuk perpuluhan bagi setiap kitaran jam dan tentukan nilai Modulus (MOD) bagi pembilang tersebut.</i></p> <p style="text-align: right;">[6 marks]
[6 markah]</p> |
| CLO1 | <p>c) Construct a MOD-12 asynchronous count up counter using negative edge-triggered JK flip-flops for a digital system that resets after state 11.</p> <p><i>Bina satu pembilang tak segerak bilang atas MOD-12 menggunakan flip-flop JK picuan pinggir negatif bagi satu sistem digital yang set semula selepas keadaan 11.</i></p> <p style="text-align: right;">[10 marks]
[10 markah]</p> |

QUESTION 4**SOALAN 1**

CLO1

- a) State **TWO (2)** types of counters constructed using shift registers and the mathematical equations used to determine the Modulus (MOD) value for each counter.

*Nyatakan **DUA (2)** jenis pembilang yang dibina menggunakan daftar anjakan beserta persamaan matematik bagi menentukan nilai Modulus (MOD) untuk setiap pembilang tersebut.*

[4 marks]

[4 markah]

CLO1

- b) A 4-bit asynchronous counter has an output frequency at the final stage (Q_3) of 2 kHz. Locate the value of the input frequency (f_{in}) and the frequency for the second flip-flop stage (Q_1).

Sebuah pembilang tak bergerak 4-bit mempunyai frekuensi output pada peringkat yang terakhir (Q_3) bernilai 2 kHz. Cari nilai bagi frekuensi input (f_{in}) dan frekuensi bagi peringkat flip-flop kedua (Q_1).

[6 marks]

[6 markah]

CLO1

- c) Construct a 4-bit SIPO shift register using D flip-flops to store data 1101₂. Show the complete truth table for the shifting process starting from $Q_{initial} = 0000$ until all bits are displayed on the parallel outputs (Q_0, Q_1, Q_2, Q_3).

Bina satu daftar anjakan SIPO 4-bit menggunakan flip-flop D untuk menyimpan data 1101₂. Tunjukkan jadual kebenaran lengkap bagi proses penganjakan bermula dari $Q_{awal} = 0000$ sehingga semua bit dipaparkan pada output selari (Q_0, Q_1, Q_2, Q_3).

[10 marks]

[10 markah]

SECTION B : 20 MARKS
BAHAGIAN B : 20 MARKAH

INSTRUCTION:

This section consists of **ONE (1)** essay question. Answer the questions.

ARAHAN :

*Bahagian ini mengandungi **SATU (1)** soalan esei. Jawab soalan tersebut.*

QUESTION 1

SOALAN 1

CLO1

Construct a complete truth table for a security alarm system (Y) that has four inputs (A , B , C , D) where output Y becomes **HIGH** when sensors A and B are active simultaneously, or when both sensors B and D are inactive. Based on the table, derive the Sum of Product (SOP) expression and apply a 4-variable Karnaugh Map (K-Map) to produce the most minimum equation. Finally, draw the simplified logic circuit diagram using basic logic gates and show the circuit redesign using NAND gates only.

*Bina satu jadual kebenaran lengkap bagi sistem penggera keselamatan (Y) yang mempunyai empat input (A , B , C , D) di mana output Y menjadi **TINGGI** apabila penderia A dan B aktif serentak, atau apabila penderia B dan D kedua-duanya tidak aktif. Berdasarkan jadual tersebut, terbitkan ungkapan Sum of Product (SOP) dan gunakan Peta Karnaugh (K-Map) 4-pembolehubah bagi menghasilkan persamaan yang paling minimum. Akhir sekali, lukiskan rajah litar logik yang telah dipermudahkan itu menggunakan pintu logik asas dan tunjukkan reka bentuk semula litar tersebut dengan hanya menggunakan get NAND sahaja.*

[20 marks]

[20 markah]

SOALAN TAMAT

APPENDIX 1 / LAMPIRAN 1

BCD – Binary Code Decimal

Decimal	5421	5311	4221	3321	2421	8421	7421
0	0000	0000	0000	0000	0000	0000	0000
1	0001	0001	0001	0001	0001	0001	0001
2	0010	0011	0010	0010	0010	0010	0010
3	0011	0100	0011	0011	0011	0011	0011
4	0100	0101	1000	0101	0100	0100	0100
5	1000	1000	0111	1010	1011	0101	0101
6	1001	1001	1100	1100	1100	0110	0110
7	1010	1011	1101	1101	1101	0111	1000
8	1011	1100	1110	1110	1110	1000	1001
9	1100	1101	1111	1111	1111	1001	1010