



BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK
KEMENTERIAN PENDIDIKAN TINGGI

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR
SESI DISEMBER 2017

DEE6113 : CMOS INTEGRATED CIRCUIT DESIGN

TARIKH : 04 APRIL 2018
MASA : 2.30 PETANG - 4.30 PETANG (2 JAM)

Kertas ini mengandungi LIMA (5) halaman bercetak.
Bahagian A: Struktur (4 soalan)
Bahagian B: Esei (2 soalan)
Dokumen sokongan yang disertakan : Tiada

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SC	PERPUSTAKAAN Politeknik Mukah Sarawak
Perolehan	
Penyelidikan	6
Waktu	



DEE6113:CMOS INTEGRATED CIRCUIT DESIGN

SECTION A : 60 MARKS
BAHAGIAN A : 60 MARKAH

INSTRUCTION:

This section consists of **FOUR (4)** structured questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi **EMPAT (4)** soalan berstruktur. Jawab **SEMUA** soalan.

QUESTION 1

SOALAN 1

CLO1
C1

- (a) Define Integrated Circuit (IC).

Takrifkan litar bersepadu.

[2 marks]

[2 markah]

CLO1
C2

- (b) Czochralski method is widely used in producing a single crystal silicon (ingot). With the aid of a diagram, explain **THREE (3)** steps to produce it.

*Kaedah Czochralski diguna secara meluas dalam menghasilkan silikon Kristal tunggal (ingot). Dengan bantuan gambarajah, terangkan **TIGA (3)** langkah untuk menghasilkannya.*

[6 marks]

[6 markah]

CLO1
C2

- (c) Explain **FOUR (4)** methods to prevent latch-up problem in CMOS transistor operation.

*Terangkan **EMPAT (4)** kaedah untuk mencegah masalah latch-up yang wujud ketika kendalian transistor.*

[7 marks]

[7 markah]

QUESTION 2
SOALAN 2

CLO1
C1

- (a) Define threshold voltage of NMOS transistor under static condition.

Definisi tentang voltan picu bagi transistor NMOS dalam keadaan statik.

[2 marks]
[2 markah]

CLO1
C3

- (b) Illustrate CMOS inverter logic circuit by using NMOS and PMOS transistor.

Ilustrasi litar logik penyongsang CMOS dengan menggunakan transistor NMOS dan PMOS.

[6 marks]
[6 markah]

CLO1
C3

- (c) Interpret Noise Margin (NM) equations from VTC CMOS Inverter.

Tafsirkan persamaan-persamaan Noise Margin (NM) dari VTC Penyongsang CMOS.

[7 marks]
[7 markah]

QUESTION 3
SOALAN 3

CLO2
C3

- (a) List FIVE (5) differences between a combination logic circuit and sequential logic circuit.

Senaraikan LIMA (5) perbezaan antara litar logik gabungan dan litar logik berjjukan litar.

[5 marks]
[5 markah]

CLO2
C3

- (b) Draw a pseudo-NMOS logic circuit a for 4-input NAND and a 4-input NOR gate.

Lukis litar logik pseudo-NMOS untuk 4-masukan get TAK-DAN dan 4-masukan get TAK-ATAU.

[5 marks]
[5 markah]

DEE6113:CMOS INTEGRATED CIRCUIT DESIGN

CLO2
C3

- (c) Interpret the charge leakage for signal integrity issues in a dynamic CMOS design.

Tafsirkan kebocoran caj bagi isu-isu integriti isyarat dalam rekabentuk CMOS dinamik.

[5 marks]
[5 markah]

QUESTION 4
SOALAN 4

CLO1
C1

- (a) Define gate and circuit level in the level of abstraction design .

Definisikan aras get dan aras litar dalam aras bagi rekabentuk pengabstrak.

[2 marks]
[2 markah]

- (b) Sketch the floor plan of gate array and standard cell.

Lakarkan plan lantai bagi susunan get dan sel piawai

[6 marks]
[6 markah]

CLO1
C3

- (c) Demonstrate the differences in a table of the design methodology between a Full Custom and a PLD based on its design cost, chip size, operation speed and power dissipation.

Tunjukkan rajah perbezaan metodologi rekabentuk diantara Full Custom dengan PLD berdasarkan kepada kos rekabentuk, saiz cip, kelajuan pengoperasian dan kehilangan kuasa.

[7 marks]
[7 markah]

CLO1
C3

SECTION B : 40 MARKS
BAHAGIAN B : 40 MARKAH

INSTRUCTION:

This section consists of TWO (2) essay questions. Answer ALL questions.

ARAHAN:

Bahagian ini mengandungi DUA (2) soalan esei. Jawab SEMUA soalan.

QUESTION 1
SOALAN 1

CLO2
C3

You are a CMOS IC circuit designer in a leading company; a customer of your company has requested you to design a CMOS IC circuit by providing only the information of the Boolean equation; $Z = \overline{(A.C) + B}$.

Your task is to sketch a transistor level schematic diagram and to transform it to a stick diagram using the Euler Path method from the equation.

Anda adalah seorang perekabentuk litar IC CMOS di sebuah kompeni terkemuka. Seorang pelanggan dari kompeni anda meminta anda merekabentuk litar IC CMOS

dengan hanya memberi maklumat persamaan Boolean sahaja; $Z = \overline{(A.C) + B}$.

Tugas anda melakarkan rajah skematik aras transistor dan tukarkan ke rajah liti menggunakan kaedah Laluan Euler dari persamaan tersebut.

[20 marks]

[20 markah]

QUESTION 2
SOALAN 2

CLO2
C5

Construct a 2-input gate using differential pass-transistor logic for AND/NAND gate, OR/NOR gate, XOR/XNOR gate and 2 to1 Multiplexer

Bina get 2-masukan dengan menggunakan logik pembeza pass-transistor untuk get DAN/TAK DAN, get ATAU/TAK ATAU, get Eksklusif-ATAU/ Eksklusif-TAK ATAU dan Pemultiplek 2 kepada 1.

[20 marks]

[20 markah]

SOALAN TAMAT