

SULIT



**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK
KEMENTERIAN PENDIDIKAN TINGGI**

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI JUN 2016

DEE6132: CMOS VLSI LAYOUT DESIGN

TARIKH : 03 NOVEMBER 2016

MASA : 2.30 PM - 4.30 PM (2 JAM)

Kertas ini mengandungi **LIMA (5)** halaman bercetak.

Bahagian A: Struktur (4 soalan)

Bahagian B: Esei (2 soalan)

Dokumen sokongan yang disertakan : Tiada

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT

SECTION A : 60 MARKS**BAHAGIAN A : 60 MARKAH****INSTRUCTION:**

This section consists of **FOUR (4)** structured questions. Answer **ALL** questions.

ARAHAN :

Bahagian ini mengandungi EMPAT (4) soalan berstruktur. Jawab semua soalan.

QUESTION 1**SOALAN 1**

CLO1
C1

- (a) Define Moore's Law and sketch Moore's Law graph.

Definisikan Hukum Moore dan lakarkan graf Hukum Moore.

[3 marks]

[3 markah]

CLO1
C2

- (b) Differentiate between oxidation and deposition process in the fabrication of integrated circuits.

Bezakan antara proses pengoksidaan dan proses pemendapan dalam fabrikasi litar bersepadu.

[6 marks]

[6 markah]

CLO1
C2

- (c) Illustrate the inverter layout by drawing the symbol gate to schematic diagram, then to layout (graphic symbols as a mask).

Jelaskan bentangan inverter dengan melukis get simbol ke rajah skematik dan kemudian ke bentangan (simbol grafik sebagai topeng).

[6 marks]

[6 markah]

QUESTION 2

SOALAN 2

CLO2
C1

- (a) List **TWO (2)** elementary gates with its circuit symbol, truth table and Boolean expression.

Senaraikan DUA (2) get asas dengan symbol litarnya, jadual kebenarannya dan persamaan Booleannya.

[2 marks]

[2 markah]

CLO2
C3

- (b) Draw the stick diagram from the Figure A2(b) below and label accordingly.

Lukis rajah lidi dari Rajah A2(b) di bawah dan labelkannya.

Transistor Level

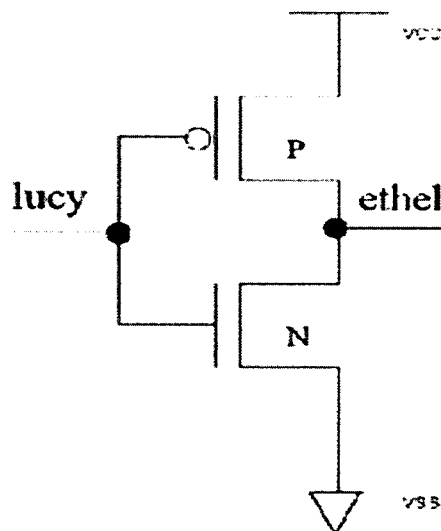


Figure A2(b)/ Rajah A2(b)

CLO2
C3

[6 marks]

[6 markah]

- (c) Convert the 2-Input NOR gate from logic symbol to the transistor level schematic. Then draw the stick diagram.

Tukar get NOR 2-masukan daripada simbol logic ke skematik aras transistor. Kemudian lukis Rajah lidi.

[7 marks]

[7 markah]

QUESTION 3**SOALAN 3**

- CLO1
C2 (a) Identify the NMOS transistor cross section.
Kenalpasti keratan rentas bagi transistor NMOS.
- [2 marks]
[2 markah]
- CLO1
C3 (b) Draw the schematic and stick diagram for 2-input NAND gate.
Lukiskan gambarajah skematik dan lidi untuk get NAND 2-masukan.
- [6 marks]
[6 markah]
- CLO1
C3 (c) Sketch the static circuit schematic diagram for the Boolean expression.
Lakarkan gambarajah litar skematik statik untuk persamaan Boolean.
- $$F = \overline{(ABC)+D}$$
- [7 marks]
[7 markah]

QUESTION 4**SOALAN 4**

- CLO1
C3 (a) List **(FIVE) 5** elements of Quality Layout?
Senaraikan (LIMA) 5 elemen 'Quality Layout'?
- [5 marks]
[5 markah]
- CLO1
C3 (b) Illustrate Full Chip Layout and state where it fits in the whole design development cycle?
Ilustrasi 'Full Chip Layout' dan nyatakan di mana susun atur penuh Chip ini berlaku dalam keseluruhan pembangunan kitaran rekabentuk?
- [5 marks]
[5 markah]
- CLO1
C3 (c) List **FIVE (5)** rules for good quality layout.
Senaraikan LIMA (5) peraturan bagi kualiti susun atur yang baik.
- [5 marks]
[5 markah]

SECTION B : 40 MARKS
BAHAGIAN B: 40 MARKAH

INSTRUCTION:

This section consists of **TWO (2)** essay questions. Answer **ALL** questions..

ARAHAN:

Bahagian ini mengandungi DUA (2) soalan esei. Jawab semua soalan.

QUESTION 1

SOALAN 1

CLO2
C3

Draw 2 input AND logic gate. Your drawing should include Boolean equation, symbols, truth table, transistor level, and Stick Diagram.

Lukiskan get logik DAN 2 input. Dalam lukisan anda, masukkan simbol, persamaan Boolean, jadual kebenaran, transistor level, dan 'Stick Diagram'.

[20 marks]
[20 markah]

QUESTION 2

SOALAN 2

CLO2
C5

A SR Flip - Flop in Figure B2 is using IC 7402. As a CMOS device designer, you have been asked to change it into the form of VLSI circuits. Design the electrically equivalent transistor – level schematic and stick diagram using color code.

SR Flip - Flop dalam Rajah B2 menggunakan IC 7402. Sebagai seorang pereka peranti CMOS, anda telah diminta untuk mengubahnya dalam bentuk litar VLSI. Rekakan litar skematik peringkat – transistor dan rajah ranting dengan menggunakan kod warna.

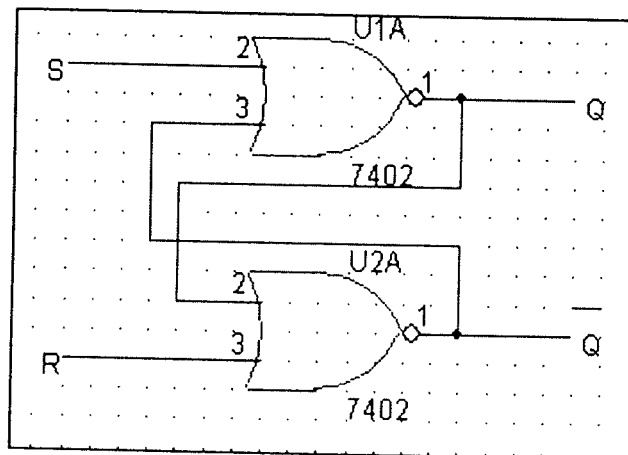


Figure B2 / Rajah B2

[20 marks]
[20 markah]

SOALAN TAMAT