

SULIT



**KEMENTERIAN PENDIDIKAN TINGGI
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI**

**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI
KEMENTERIAN PENDIDIKAN TINGGI**

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI I : 2024/2025

**DEC50143 : CMOS INTEGRATED CIRCUIT DESIGN AND
FABRICATION**

TARIKH : 13 DISEMBER 2024

MASA : 8.30 PAGI – 10.30 PAGI (2 JAM)

Kertas soalan ini mengandungi **TUJUH (7)** halaman bercetak.

Bahagian A: Subjektif (3 soalan)

Bahagian B: Esei (2 soalan)

Dokumen sokongan yang disertakan : Tiada

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT

SECTION A : 60 MARKS**BAHAGIAN A : 60 MARKAH****INSTRUCTION:**

This section consists of **THREE (3)** subjective questions. Answer **ALL** questions.

ARAHAN:

*Bahagian ini mengandungi **TIGA (3)** soalan subjektif. Jawab **SEMUA** soalan.*

QUESTION 1**SOALAN 1**

- | | |
|------|--|
| CLO1 | <p>(a) Explain the integrated circuit generations of Small Scale Integration (SSI), Medium Scale Integration (MSI) and Large Scale Integration (LSI) with suitable examples.</p> <p><i>Terangkan generasi litar bersepadu bagi integrasi skala kecil (SSI), integrasi skala sederhana (MSI), dan integrasi skala besar (LSI) dengan contoh yang sesuai.</i></p> <p style="text-align: right;">[6 marks]
[6 markah]</p> |
| CLO1 | <p>(b) Explain TWO (2) classifications of integrated circuit based on transistor types.</p> <p><i>Terangkan DUA (2) klasifikasi litar bersepadu berdasarkan jenis transistor.</i></p> <p style="text-align: right;">[7 marks]
[7 markah]</p> |
| CLO1 | <p>(c) Explain TWO (2) sources of contamination that affect the production yield in IC fabrication.</p> <p><i>Terangkan DUA (2) sumber pencemaran yang mempengaruhi hasil pengeluaran dalam fabrikasi IC.</i></p> <p style="text-align: right;">[7 marks]
[7 markah]</p> |

QUESTION 2
SOALAN 2

- CLO1 (a) Explain dry etching and wet etching in IC fabrication.
Terangkan punaran kering dan punaran basah dalam fabrikasi IC.
[6 marks]
[6 markah]
- CLO1 (b) Explain non-destructive test and destructive test in failure analysis.
Terangkan ujian tanpa musnah dan ujian musnah dalam analisis kegagalan.
[6 marks]
[6 markah]
- CLO1 (c) Sketch a static CMOS logic circuit for a two-input NAND gate with correct transistor sizing according to the ratio of the reference inverter as shown in Figure A2(c).
Lakarkan satu litar logik statik CMOS bagi get TAK DAN dua input dengan saiz transistor yang betul berdasarkan nisbah inverter rujukan di Rajah A2(c).

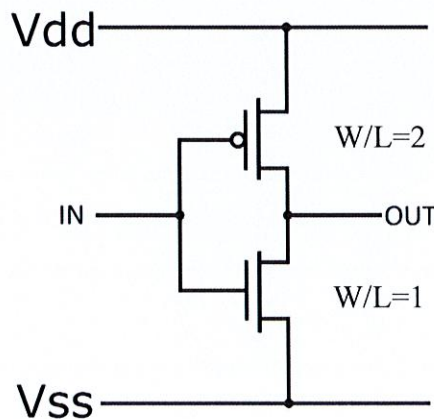


Figure A2(c) / Rajah A2(c)

[8 marks]

[8 markah]

QUESTION 3

SOALAN 3

- CLO1 (a) Write the logic equation for outputs Z1, Z2, Z3 and Z4 for the Programmable Read Only Memory (PROM) circuit as shown in Figure A3(c) below.
- Tuliskan persamaan logik untuk output Z1, Z2, Z3 dan Z4 bagi litar Ingatan Baca Saja Bolehaturcara (PROM) seperti yang ditunjuk dalam Rajah A3(a) di bawah.*

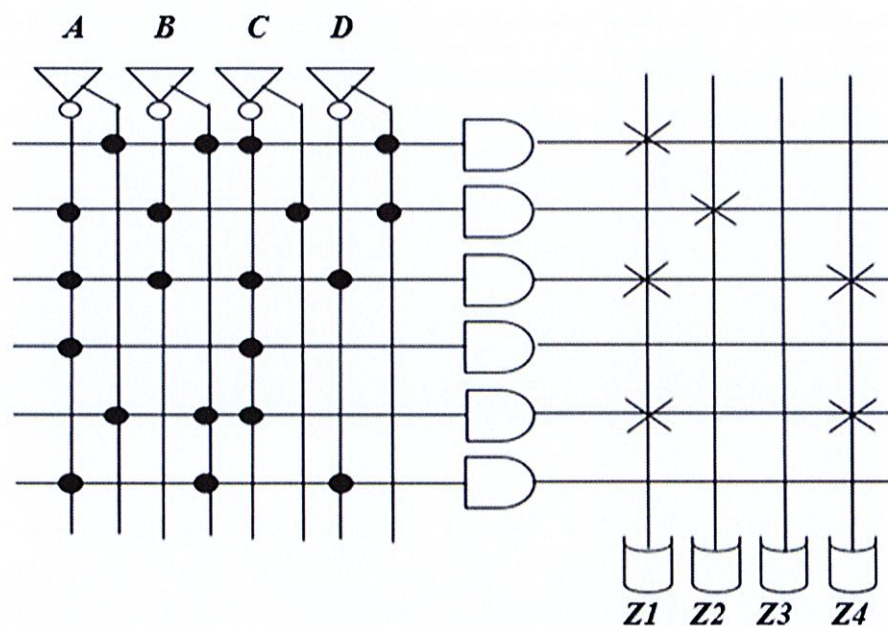


Figure A3(a) / Rajah A3(a)

[6 marks]
[6 markah]

- CLO1 (b) Construct a circuit using Programmable Array Logic (PAL) for the following functions:
- Binakan litar dengan menggunakan Logik Tatasusun Bolehaturcara (PAL) bagi fungsi berikut:*

$$F1 = XY\bar{Z} + \bar{X}YZ$$

$$F2 = \bar{X}\bar{Y} + XYZ$$

[7 marks]
[7 markah]

CLO1

(c) Draw a stick diagram for a 2-input NOR gate.

Lakarkan rajah lidi untuk get TAK ATAU 2 masukan:

$$F = \overline{A + B}$$

[7 marks]

[7 markah]

SECTION B : 40 MARKS**BAHAGIAN B : 40 MARKAH****INSTRUCTION:**

This section consists of **TWO (2)** essay questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi DUA (2) soalan esei. Jawab SEMUA soalan.

CLO1 **QUESTION 1**
SOALAN 1

Construct a static CMOS logic circuit and a dynamic CMOS logic circuit for the logic circuit in Figure B1. Your answer must include all the related equations.

Bina litar logik CMOS statik dan litar logik CMOS dinamik bagi litar logik dalam Rajah B1. Jawapan anda mesti termasuk semua persamaan yang berkenaan.

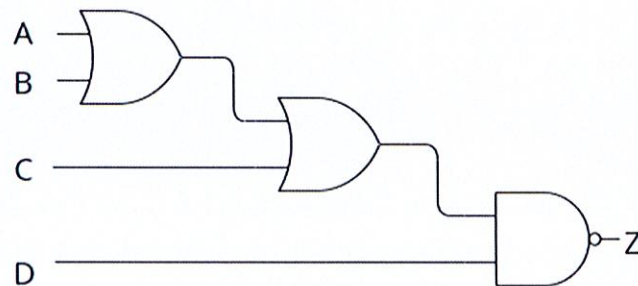


Figure B1 / Rajah B1

[20 marks]

[20 markah]

CLO1 | **QUESTION 2****SOALAN 2**

Design a CMOS static circuit and stick diagram by applying the Euler path method for the complex Boolean function given below:

Rekabentuk litar statik CMOS dan rajah liti menggunakan kaedah Euler Path bagi fungsi Boolean kompleks seperti di bawah:

$$\text{OUT} = \overline{[A(B + C)] + D}$$

[20 marks]

[20 markah]

SOALAN TAMAT