

SULIT



**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI
KEMENTERIAN PENDIDIKAN MALAYSIA**

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI JUN 2018

DEE2034: DIGITAL ELECTRONICS

TARIKH : 28 OKTOBER 2018
MASA : 8.30 PAGI - 10.30 PAGI (2 JAM)

Kertas ini mengandungi **EMPATBELAS (14)** halaman bercetak.

Bahagian A: Objektif (10 soalan)

Bahagian B: Struktur (4soalan)

Bahagian C: Esei (2 soalan)

Dokumen sokongan yang disertakan : Lampiran

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT

SECTION A : 10 MARKS**BAHAGIAN A : 10 MARKAH****INSTRUCTION:**

This section consist of **TEN (10)** objective questions. Mark your answers in the OMR form provided.

ARAHAN:

*Bahagian ini mengandungi **SEPULUH (10)** soalan objektif. Tandakan jawapan anda di dalam borang OMR yang disediakan.*

CLO1
C1

1. State the hexadecimal number $F2_{16}$ in binary number.

Nyatakan nombor heksadesimal $F2_{16}$ kepada nombor perduaan.

- A. 11100011
- B. 10100001
- C. 11110010
- D. 11111100

CLO1
C2

2. Identify the decimal number which is equivalent of the BCD number 1010.

Kenalpasti nombor persepuluhan yang senilai dengan nombor BCD 1010.

- A. 8
- B. 10
- C. 12
- D. Invalid

SULIT

CLO1
C3

3. The output of an OR gate with three inputs A, B and C is LOW when _____

Keluaran bagi get ATAU dengan tiga masukan A, B dan C adalah RENDAH apabila _____

- A. $A=0, B=0, C=0$
- B. $A=0, B=0, C=1$
- C. $A=0, B=1, C=1$
- D. All of the above
Semua di atas

CLO1
C3

4. As shown on Figure A4, choose the suitable Boolean Expression for the output.

Berdasarkan Rajah A4, pilih persamaan Boolean yang sesuai bagi keluaran.

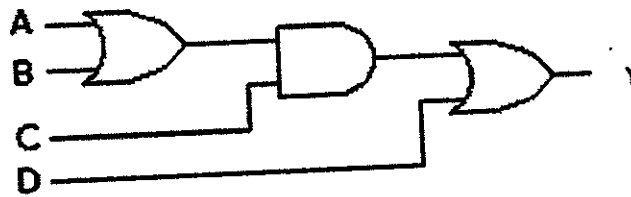


Figure A4 / Rajah A4

- A. $AC + BC + CD$
- B. $(A + B)C\bar{D}$
- C. $(A + B)C + D$
- D. $AC + BC + D$

CLO1
C2

5. Determine the selector lines required for an 8 line to 1 line multiplexer.

Tentukan baris pemilih yang diperlukan untuk pemultipleks 8 talian ke 1 talian.

- A. 2
- B. 4
- C. 8
- D. 3

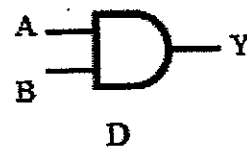
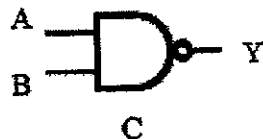
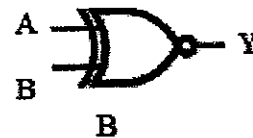
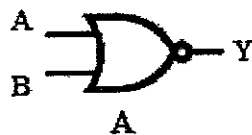
CLO2
C1

6. Table A6 shows a truth table of a logic gate, identify the symbols based on the truth table.

Jadual A6 menunjukkan jadual kebenaran bagi get logik, Kenalpasti simbol-simbol berdasarkan jadual kebenaran tersebut:

Table A6/Jadual A6

INPUT		OUTPUT
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

CLO2
C2

7. Determine the input for a JK flip-flop for reset mode.

Tentukan masukan untuk flip-flop JK bagi mod reset.

- A. $J = 0 \quad K = 0$
- B. $J = 1 \quad K = 0$
- C. $J = 0 \quad K = 1$
- D. $J = 1 \quad K = 1$

CLO2
C2

8. Identify which of the following statement is TRUE about Synchronous Counter?

Kenalpasti pernyataan yang manakah BENAR mengenai Pembilang Segerak?

- A. Each flip-flop input must be connected to logic 1.
Setiap masukan flip-flop perlu disambungkan ke logik 1.
- B. Clock for each flip-flop triggered is by the same clock.
Jam pada setiap flip-flop dipicu pada jam yang sama.
- C. Counter can only count up and down in sequence.
Pembilang hanya boleh membilang atas dan bawah secara berturutan.
- D. Output frequency of counter depends on total flip flop that is being used.
Frekuensi keluaran bagi pembilang bergantung kepada jumlah flip flop yang digunakan.

CLO2
C3

9. Calculate the number of flip-flop for a MOD 10 counter.

Kira bilangan flip-flop bagi pembilang MOD 10.

- A. 4 flip-flops
- B. 10 flip-flops
- C. 2 flip-flops
- D. 5 flip-flops

CLO2
C2

10. Choose the TRUE application of shift register.

Pilih aplikasi yang BENAR untuk daftar anjakan.

- i. Arithmetic operation
- ii. Johnson Counter
- iii. Ring Counter
- iv. Serial to Parallel Counter

- A. i, ii, and iii
- B. i, iii and iv
- C. i, ii and iv
- D. ii, iii and iv

SECTION B: 60 MARKS
BAHAGIAN B: 60 MARKAH

INSTRUCTION:

This section consists of **FOUR (4)** structured questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi EMPAT (4) soalan berstruktur. Jawab SEMUA soalan.

QUESTION 1

SOALAN 1

- | | |
|------------|---|
| CLO1
C1 | <p>(a) State 110010_2 in decimal number.</p> <p><i>Nyatakan 110010_2 dalam nombor desimal.</i></p> <p style="text-align: right;">[3 marks]
[3 markah]</p> |
| CLO1
C3 | <p>(b) Convert the BCD code 10000100011_{BCD} to its equivalent binary and octal number.</p> <p><i>Tukarkan kod BCD 10000100011_{BCD} kepada nombor perduaan dan perlapanan yang sepadan.</i></p> <p style="text-align: right;">[6 marks]
[6 markah]</p> |
| CLO1
C3 | <p>(c) Illustrate the 8-bit addition of this decimal number in 2's complement.</p> <p><i>Tunjukkan penambahan 8-bit nombor perpuluhan dalam pelengkap 2.</i></p> <p style="text-align: center;">$(-13_{10}) + (+20_{10})$</p> <p style="text-align: right;">[6 marks]
[6 markah]</p> |

QUESTION 2

SOALAN 2

CLO1
C1

- (a) Identify the output Q for a logic circuit in Figure B2(a) and state the result in the Table B2(a).

Kenalpasti keluaran Q bagi litar logik dalam Rajah B2(a) dan nyatakan keputusan dalam Jadual B2(a).

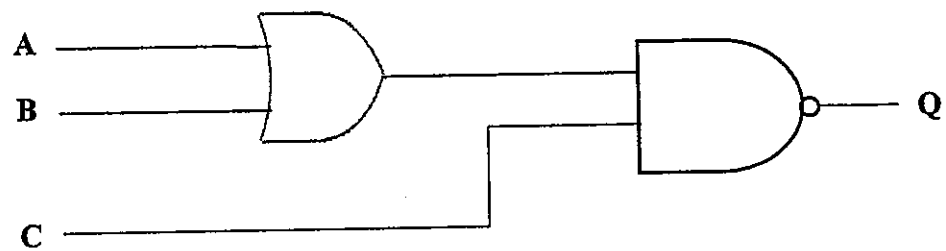


Figure B2(a) / Rajah B2(a)

Table B2(a) / Jadual B2(a)

A	B	C	Q
1	0	1	
1	1	0	
1	1	1	

[3 marks]
[3 markah]

CLO2
C3

- (b) Referring to the truth table in Table B2 (b), draw the combinational logic circuit for Product of Sum (POS) equation.

Merujuk kepada jadual kebenaran dalam Jadual B2(b), lukiskan litar logik gabungan untuk persamaan hasil darab jumlah (POS).

Table B2(b) / Jadual B2(b)

A	B	C	Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

[6 marks]
[6 markah]

CLO2
C3

- (c) Draw the logic circuit of 8 to 3 lines encoder.

Lukiskan litar logik bagi Pengkod 8 ke 3 talian.

[6 marks]
[6 marka]

QUESTION 3**SOALAN 3**CLO2
C1

- (a) State the output
- Q
- and
- $\bar{Q}$
- for JK flip-flop in Table B3 (a) if
- $Q_{\text{initial}} = 1$
- .

Nyatakan keluaran Q dan $\bar{Q}$ bagi flip-flop JK dalam Jadual B3 (a) jika $Q_{\text{awal}} = 1$.

Table B3(a) / Jadual B3(a)

CLK	J	K	Q	$\bar{Q}$
↑	1	0		
	0	0		
	1	1		

[3 marks]
[3 markah]CLO2
C2

- (b) Draw the logic circuit and truth table for NOR SR flip-flop.

Lukiskan litar logik dan jadual kebenaran bagi flip-flop SR TAK ATAU.[5 marks]
[5 markah]

CLO2
C3

- (c) Draw the output waveform Q and $\bar{Q}$ for JK Flip-flop negative edge trigger in Figure B3(c). Assume $Q_{\text{initial}} = 0$.
(Please answer this question in Appendix 1)

*Lukiskan gelombang keluaran Q dan $\bar{Q}$ untuk flip-flop JK picuan pinggir negatif di Rajah B3(c). Anggap $Q_{\text{awal}} = 0$.
(Sila jawab soalan ini di Lampiran 1)*

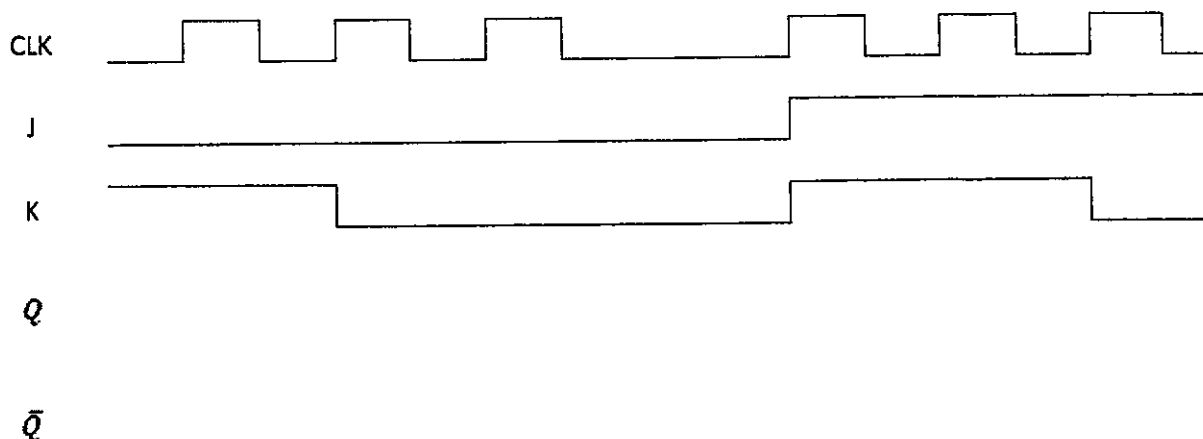


Figure B3(c) / Rajah B3(c)

[7 marks]
[7 markah]

QUESTION 4**SOALAN 4**CLO2
C2

- (a) Draw a 5-bit shift register Serial Input Serial Output (SISO) by using positive edge triggered D flip-flop.

Lukiskan sebuah alat daftar 5-bit masukan siri keluaran siri (SISO) dengan menggunakan flip-flop D picuan jam pinggir positif.

[3 marks]
[3 markah]

CLO2
C3

- (b) The content of a 5-bit shift register is initially 11001_2 . Illustrate with the aid of truth table the displacement data if new data 10110_2 is shifted to the register.

Keadaan awal di dalam alat daftar 5-bit ialah 11001_2 . Dengan bantuan jadual kebenaran, ilustrasikan anjakan yang berlaku jika data baru 10110_2 dimasukkan ke dalam alat daftar tersebut.

[6 marks]

[6 markah]

CLO2
C3

- (c) Explain TWO (2) arithmetic operation that a shift register can perform by providing an example for each of these operation.

Terangkan DUA (2) operasi aritmetik yang boleh dilakukan oleh sebuah alat daftar dengan memberikan contoh bagi setiap operasi tersebut.

[6 marks]

[6 markah]

SECTION C : 30 MARKS
BAHAGIAN C : 30 MARKAH

INSTRUCTION:

This section consists of **TWO (2)** essay questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi DUA (2) soalan esei. Jawab semua soalan.

QUESTION 1

SOALAN 1

CLO2
C3

Table C1 shows the output of Smart Home System. From the table produce Sum Of Product (SOP) expression. Simplify the expression by using Boolean Algebra and Karnaugh Map method. Then draw the simplified expression from the Karnaugh Map method.

Jadual C1 menunjukkan keluaran satu Sistem Rumah Pintar. Daripada jadual tersebut hasilkan persamaan dalam bentuk Jumlah Hasil Darab (SOP). Permudahkan persamaan tersebut menggunakan Kaedah Boolean Algebra and Karnaugh Map. Kemudian lukiskan litar logik yang telah dipermudahkan daripada Kaedah Karnaugh Map.

Table C1 / Jadual C1

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

[15 marks]
[15 markah]

QUESTION 2
SOALAN 2CLO2
C5

Design a synchronous counter which counts the sequence of number
0, 1, 3, 5, 7
using negative edge triggered T flip-flop.

*Rekabentuk sebuah litar pembilang bergerak yang mengira mengikut turutan nombor
0, 1, 3, 5, 7
dengan menggunakan flip-flop T picuan pinggir negatif.*

[15 marks]
[15 markah]

SOALAN TAMAT

APPENDIX 1 / LAMPIRAN 1

NO.SIRI BUKU JAWAPAN :

Nota : Lampiran ini mestilah dihantar bersama buku jawapan.

QUESTION 3(c)

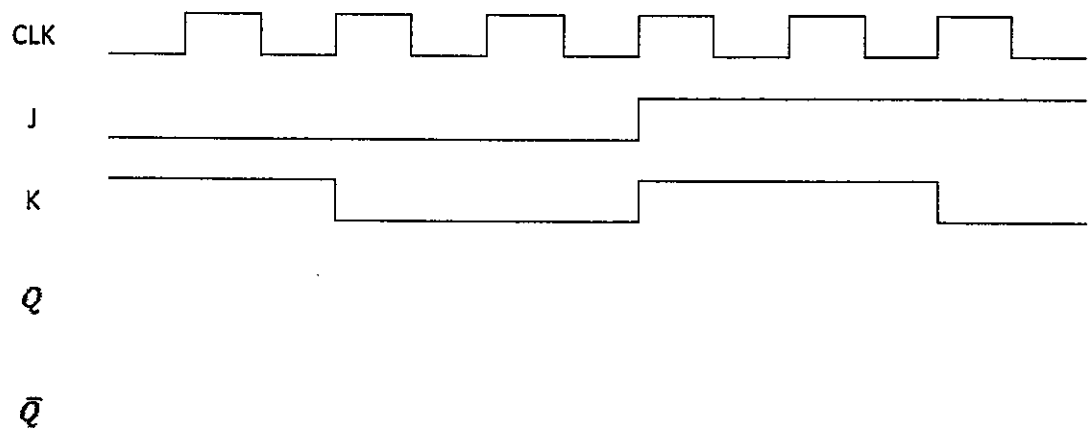


Figure B3(c) / Rajah B3(c)