

SULIT



**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI
KEMENTERIAN PENGAJIAN TINGGI**

JABATAN KEJURUTERAAN ELEKTRIKAL

PEPERIKSAAN AKHIR

SESI I : 2022/2023

DEE20033: DIGITAL ELECTRONICS

TARIKH : 14 DISEMBER 2022

MASA : 2.30 PM – 4.30 PM (2 JAM)

Kertas ini mengandungi **TUJUH (7)** halaman bercetak.

Bahagian A: Subjektif (4 soalan)

Bahagian B: Esei (1 soalan)

Dokumen sokongan yang disertakan : BCD Code dan ASCII Code

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT

SECTION A: 80 MARKS**BAHAGIAN A: 80 MARKAH****INSTRUCTION:**

This section consists of **FOUR (4)** subjective questions. Answer **ALL** questions.

ARAHAN:

*Bahagian ini mengandungi **EMPAT (4)** soalan subjektif. Jawab semua soalan.*

QUESTION 1**SOALAN 1**

CLO1
C1

- a) State the type of logic gate and logic expression for the Figure A1(a) below.

Nyatakan jenis get logik dan persamaan logik bagi Rajah A1(a) di bawah.

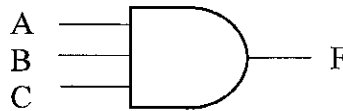


Figure A1(a) / Rajah A1(a)

[4 marks]
[4 markah]

CLO1
C2

- b) Convert the BCD code 10010101 to its equivalent binary and hexadecimal number.

Tukarkan kod BCD 10010101 kepada nombor perdua dan nombor perenambelasan yang senilai.

[6 marks]
[6 markah]

CLO1
C3, DP1,
DP3

- c) Signed number consists of 1's complement and 2's complement . By using 2's complement, solve the 8-bits addition of decimal number below.

$$(-32_{10}) + (-15_{10})$$

Nombor bertanda terdiri dari pelengkap 1 dan pelengkap 2. Dengan menggunakan pelengkap 2, selesaikan penambahan 8-bit nombor decimal di bawah.

$$(-32_{10}) + (-15_{10})$$

[10 marks]
[10 markah]

QUESTION 2
SOALAN 2

CLO1
C1

- a) Table A2(a) shows the input A, B and C for 3 input AND gate. Identify the output in the truth table below.

Jadual A2(a) menunjukkan masukan A, B dan C bagi get DAN tiga masukan.

Kenalpasti keluaran bagi jadual kebenaran di bawah.

Table A2(a) / Jadual A2(a)

Input			Output
A	B	C	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

[4 marks]
[4 markah]

CLO1
C2

- b) Algebra Boolean Theorem, De Morgan Theorem and K Map are used to simplify the expression and logic circuit. Simplify the following expression by using Karnaugh Map.

$$F = B(\overline{A}\overline{C} + C) + \overline{A}\overline{B}\overline{C} + A\overline{C}$$

Teorem Algebra Boolean, De Morgan Teorem dan Peta Karnaugh digunakan untuk meringkaskan persamaan dan litar logik. Permudahkan persamaan berikut dengan menggunakan Peta Karnaugh.

$$F = B(\overline{A}\overline{C} + C) + \overline{A}\overline{B}\overline{C} + A\overline{C}$$

[6 marks]
[6 markah]

CLO1
C3, DP1,
DP3

- c) There is a logic circuit with 3 input. Given function of the circuit is $F(A, B, C) = \sum (0, 1, 2, 3, 5, 7)$. Construct a truth table and simplify Sum of product (SOP) Equation by using Karnaugh Map.

Terdapat litar logik dengan tiga masukan. Diberi fungsi litar adalah $F(A, B, C) = \sum (0, 1, 2, 3, 5, 7)$. Bina jadual kebenaran dan ringkaskan persamaan Jumlah Hasil Darab (SOP) menggunakan Peta Karnaugh.

[10 marks]
[10 markah]

QUESTION 3

SOALAN 3

CLO1
C1

- a) State the output state for SR flip flop for the given input and output Table A3(a).
Nyatakan keadaan keluaran bagi flip flop SR jika masukan dan keluaran diberi seperti Jadual A3(a).

Table A3(a) / Jadual A3(a)

CLK	S	R	Q	$\bar{Q}$	Output State/Keadaan Keluaran
(1)	1	0	1	0	
(0)	0	1	1	0	
(1)	0	1	0	1	
(1)	1	1	1	1	

[4 marks]
[4 markah]

CLO1
C2

- b) With the aid of diagram and truth table, explain how T flip flop can be built by using JK flip flop.
Dengan bantuan gambarajah dan jadual kebenaran, terangkan bagaimana flip flop T boleh dibina dengan menggunakan JK flip flop.

[6 marks]
[6 markah]

CLO1
C3, DP1,
DP3, DP5

- c) Figure A3(c) is an input of positive edge triggered JK flip flop. Draw the output waveform Q and $\bar{Q}$ with initial Q = 1

(Please answer this question in Appendix 1)

Rajah A3(c) adalah masukan bagi flip flop JK picuan pinggir positif. Lukiskan gelombang keluaran Q dan $\bar{Q}$ dengan Q awalan = 1.

(Sila jawab soalan ini di Lampiran 1)

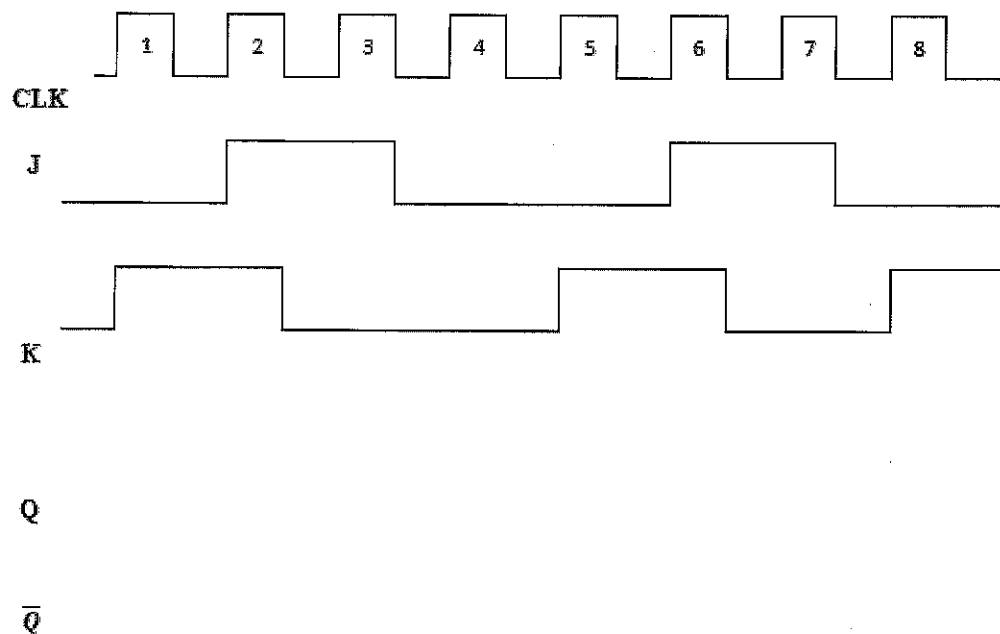


Figure A3(c) / Rajah A3(c)

[10 marks]
[10 markah]

QUESTION 4

SOALAN 4

CLO1
C1

- a) State **FOUR(4)** types of Shift Register.
*Nyatakan **EMPAT(4)** jenis daftar anjakan.*

[4 marks]
[4 markah]

CLO1
C2

- b) Explain **THREE(3)** disadvantages of asynchronous counter.
*Jelaskan **TIGA(3)** kelemahan pembilang tak segerak.*

[6 marks]
[6 markah]

CLO1
C3, DP1,
DP3

- c) The concept of SIPO is data enter a bit every time and shift out simultaneously. Sketch the circuit of 5-bit Serial In Parallel Out (SIPO) shift register by using positive edge triggered D flip flop. Complete the table A4(c) by using the SIPO concept. Input data is 11001 and existing data in the flip flop is 00110.

Konsep SIPO adalah data masuk satu persatu dan dianjak keluar secara serentak. Lakarkan litar bagi alat daftar 5-bit Masukan Siri Keluaran Selari dengan menggunakan flip flop D picuan pinggir positif. Gunakan konsep SIPO untuk melengkapkan Jadual A4(c). Data masukan adalah 11001 dan data asal di dalam flip flop adalah 00110.

Table A4(c) / Jadual A4(c)

CLK	DATA	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄

[10 marks]
[10 markah]

SECTION B: 20 MARKS***BAHAGIAN B: 20 MARKAH*****INSTRUCTION:**

This section consists of **ONE(1)** essay question. Answer the question.

ARAHAN:

Bahagian ini mengandungi SATU(1) soalan esei. Jawab soalan tersebut.

CLO1
C3, DP1,
DP3, DP5

There are two types of counter which are asynchronous counter and synchronous counter. Construct a synchronous up counter circuit that counts the random number 0,2,5,6 repeatedly by using JK flip-flop with negative edge triggered.

Terdapat dua jenis pembilang iaitu pembilang tak segerak dan pembilang segerak. Binakan pembilang segerak ke atas yang akan membilang nombor secara rawak iaitu 0,2,5,6 secara berulang kali dengan menggunakan flip-flop JK picuan pinggir negatif.

[20 marks]
[20 markah]

SOALAN TAMAT

BCD- Binary Coded Decimal

Desimal	5421	5311	4221	3321	2421	8421	7421
0	0000	0000	0000	0000	0000	0000	0000
1	0001	0001	0001	0001	0001	0001	0001
2	0010	0011	0010	0010	0010	0010	0010
3	0011	0100	0011	0011	0011	0011	0011
4	0100	0101	1000	0101	0100	0100	0100
5	1000	1000	0111	1010	1011	0101	0101
6	1001	1001	1100	1100	1100	0110	0110
7	1010	1011	1101	1101	1101	0111	1000
8	1011	1100	1110	1110	1110	1000	1001
9	1100	1101	1111	1111	1111	1001	1010

ASCII Code

MSB									
LSB	Binary	000	001	010	011	100	101	110	111
Binary	Hex	0	1	2	3	4	5	6	7
0000	0	NUL	DLE	sp	0	@	P	`	p
0001	1	SOH	Dc1	!	1	A	Q	a	q
0010	2	STX	Dc2	"	2	B	R	b	r
0011	3	ETX	Dc3	#	3	C	S	c	s
0100	4	EOQ	Dc4	\$	4	D	T	d	t
0101	5	END	Nak	%	5	E	U	e	u
0110	6	ACK	Syn	&	6	F	V	f	v
0111	7	BEL	EtB	'	7	G	W	g	w
1000	8	BS	Ca n	(	8	H	X	h	x
1001	9	HT	Em	)	9	I	Y	i	y
1010	A	LF	Sub	*	:	J	Z	j	z
1011	B	VT	Esc	+	;	K	[	k	{
1100	C	FF	FS	,	<	L	\	l	
1101	D	CR	GS	-	=	M	]	m	}
1110	E	SO	RS	.	>	N	^	n	~
1111	F	SI	US	/	?	O	-	o	DEL

APPENDIX 1 / LAMPIRAN 1

NO. SIRI BUKU JAWAPAN :

Nota : Lampiran ini mestilah dihantar bersama buku jawapan.

QUESTION 3(c)

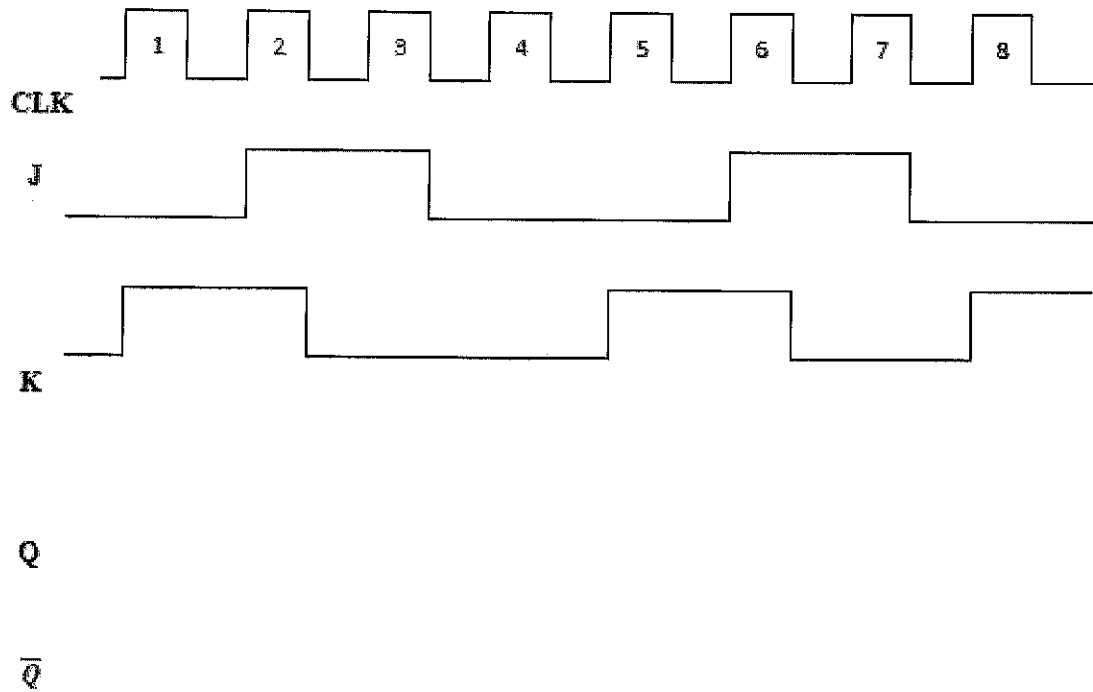


Figure A3(c) / Rajah A3(c)