

SULIT



**KEMENTERIAN PENDIDIKAN TINGGI
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI**

**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI
KEMENTERIAN PENDIDIKAN TINGGI**

JABATAN KEJURUTERAAN ELEKTRIK

PEPERIKSAAN AKHIR

SESI II : 2024/2025

DEE20153: DIGITAL ELECTRONICS

TARIKH : 10 MEI 2025

MASA : 8.30 PAGI – 10.30 PAGI (2 JAM)

Kertas soalan ini mengandungi **TUJUH (7)** halaman bercetak.
Bahagian A: Subjektif (4 soalan)
Bahagian B: Esei (1 soalan)
Dokumen sokongan yang disertakan : Lampiran 1, ASCII Code dan BCD

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

SULIT

SECTION A : 80 MARKS**BAHAGIAN A : 80 MARKAH****INSTRUCTION:**

This section consists of **FOUR (4)** subjective questions. Answer **ALL** questions.

ARAHAN:

*Bahagian ini mengandungi **EMPAT (4)** soalan subjektif. Jawab **SEMUA** soalan.*

QUESTION 1**SOALAN 1**

- CLO1 (a) List **4 (FOUR)** types of number system.
*Senaraikan **4 (EMPAT)** jenis sistem nombor.*
[4 marks]
[4 markah]
- CLO1 (b) Convert 165.4_8 to decimal, binary and hexadecimal.
Tukarkan 165.4_8 kepada perpuluhan, perdua dan perenambelasan.
[6 marks]
[6 markah]
- CLO1 (c) Solve the 8-bits arithmetic operation below using 2's complement method.
Selesaikan operasi arithmetik 8-bit di bawah dengan menggunakan kaedah pelengkap 2.
$$(-66_{10}) + (-23_{10})$$

[10 marks]
[10 markah]

QUESTION 2**SOALAN 2**

- CLO1 (a) State the operation for an active high SR Flip-flop in Table A2(a)
Nyatakan operasi bagi flip-flop SR aktif tinggi dalam Jadual A2(a).

Table A2(a) / *Jadual A2(a)*

Input		Output		Operation
S	R	Q	$\overline{Q}$	
0	0	Q	$\overline{Q}$	
0	1	0	1	
1	0	1	0	
1	1	1	1	

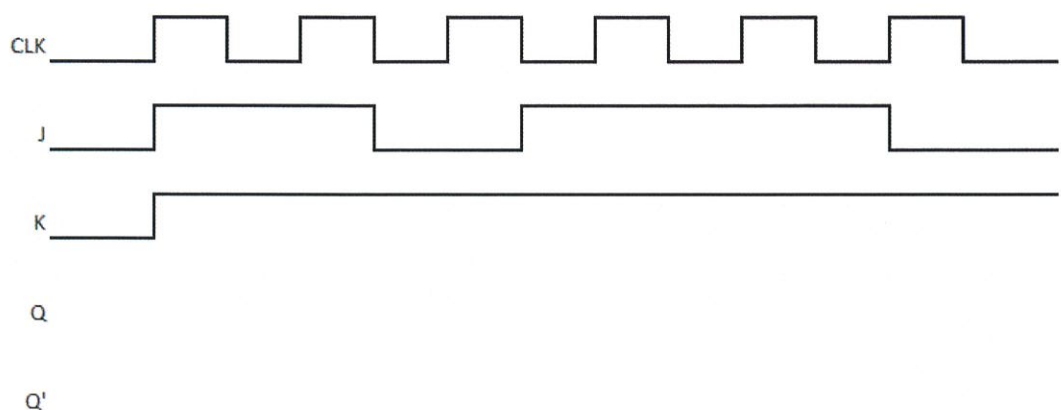
[4 marks]

[4 markah]

- CLO1 (b) Represent the output waveform Q and $\overline{Q}$ for JK flip-flop negative edge trigger in diagram A2(b). Assume $Q_{\text{initial}} = 1$
(Please answer this question in Appendix 1)

Gambarkan gelombang keluaran Q dan $\overline{Q}$ untuk flip-flop JK picuan pinggir negatif di Rajah A2(b). Anggap $Q_{\text{awal}} = 1$.

(Sila jawab soalan ini di Lampiran 1)

Figure A2(b) / *Rajah A2(b)*

[6 marks]

[6 markah]

- CLO1 (c) Derive the Boolean expression Y for logic circuit shown in Figure A3(b) below and reduce it using Boolean Algebra Law.

Terbitkan persamaan Boolean Y bagi litar logik yang ditunjukkan dalam Rajah Q3(b) di bawah dan ringkaskan persamaan itu menggunakan Hukum Boolean Algebra.

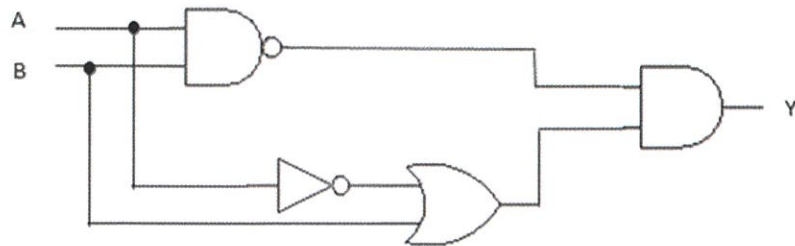


Figure A3(b)/ Rajah A3(b)

[10 marks]

[10 markah]

QUESTION 3**SOALAN 3**

CLO1

- (a) State the output for T flip-flop as given in Table A3(a) below.

Nyatakan keluaran bagi flip-flop T seperti yang diberi dalam Jadual A3(a) di bawah.

Table A3(a) / Jadual A3(a)

Input	Before Clock		After Clock	
T	Q_n	$\overline{Q_n}$	Q_{n+1}	$\overline{Q_{n+1}}$
1	1	0		
0	0	1	0	1
1	0		1	0
1	1	0		
0		1	0	1
1	0	1		

[4 marks]

[4 markah]

CLO1

- (b) Compare
- 3 (THREE)**
- differences between asynchronous and synchronous counter.

Bandingkan 3 (TIGA) perbezaan di antara pembilang segera dan pembilang tak segera

[6 marks]

[6 markah]

CLO1

- (c) Construct a MOD-5 asynchronous UP counter using JK flip-flop with negative edge triggering. Your answer must consist of: number of flip flops, maximum decimal number, state diagram and circuit diagram.

Bina sebuah litar pembilang atas tak segera MOD-5 menggunakan pinggir jam negatif. Jawapan anda terdiri daripada: bilangan flip-flop, nilai maksimum nombor decimal, rajah keadaan dan litar.

[10 marks]

[10markah]

QUESTION 4**SOALAN 4**

- CLO1 (a) List **4 (FOUR)** types of shift register.
Senaraikan 4 (EMPAT) jenis daftar anjak.
 [4 marks]
 [4 markah]
- CLO1 (b) Represent a 3 bit asynchronous UP counter using JK flip-flop with negative edge triggered.
Gambarkan sebuah litar pembilang atas tak segerak 3 bit menggunakan JK flip-flop picuan jam negatif.
 [6 marks]
 [6 markah]
- CLO1 (c) Tabulate the data in a Serial Input Serial Output register with the data 11101 and initial state 01110 for 5 input clocks in Table A4(c).
Isikan Jadual A4(c) bagi alat daftar SISO dengan masukan data 11101 dan data awal adalah 01110 bagi 5 denyut masukan.

Table A4(c)/ Jadual A4(c)

CLK	DATA	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄
0						
1						
2						
3						
4						
5						

[10 marks]

[10 markah]

SECTION B : 20 MARKS**BAHAGIAN B :20 MARKAH****INSTRUCTION:**

This section consists of **ONE** essay question. Answer the question.

ARAHAN:

*Bahagian ini mengandungi **SATU (1)** soalan esei. Jawab soalan tersebut.*

QUESTION 1**SOALAN 1**

CLO1 Given the Boolean expression

$$Z = A\bar{B}\bar{C}\bar{D} + A\bar{B}C\bar{D} + ABCD + ABC\bar{D} + \bar{A}BCD + \bar{A}\bar{B}C\bar{D}$$

Construct the truth table from the Boolean expression. Apply the Karnaugh Map method to simplify the Boolean expression and draw the logic circuit that has been simplified.

Di beri persamaan Boolean

$$Z = A\bar{B}\bar{C}\bar{D} + A\bar{B}C\bar{D} + ABCD + ABC\bar{D} + \bar{A}BCD + \bar{A}\bar{B}C\bar{D}$$

Bina jadual kebenaran daripada persamaan Boolean. Dengan menggunakan kaedah Peta Karnaugh ringkaskan persamaan Boolean dan lukiskan litar logik dari persamaan yang telah diringkaskan

[20 marks]

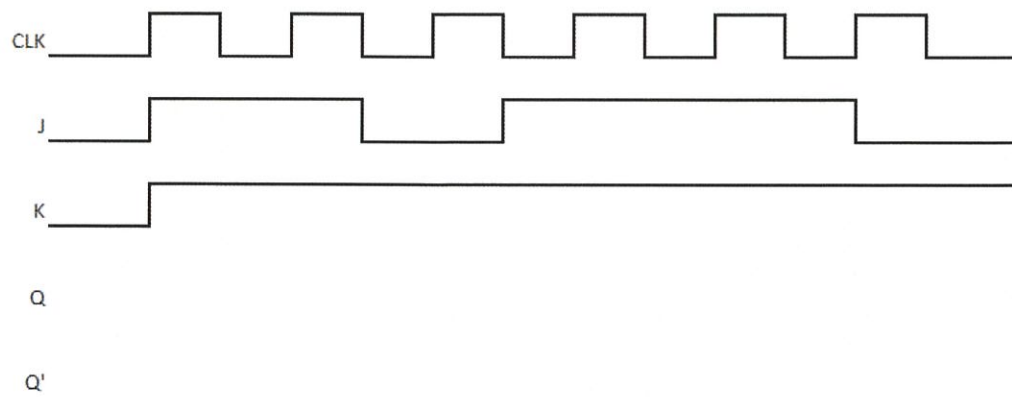
[20 markah]

SOALAN TAMAT

Appendix 1/ *Lampiran 1*

Question A2(b)

Soalan A2(b)



Appendix 2/ Lampiran 2

ASCII Code

MSB									
LSB	Binary	000	001	010	011	100	101	110	111
Binary	Hex	0	1	2	3	4	5	6	7
0000	0	NUL	DLE	sp	0	@	P	`	p
0001	1	SOH	Dc1	!	1	A	Q	a	q
0010	2	STX	Dc2	“	2	B	R	b	r
0011	3	ETX	Dc3	#	3	C	S	c	s
0100	4	EOQ	Dc4	\$	4	D	T	d	t
0101	5	END	Nak	%	5	E	U	e	u
0110	6	ACK	Syn	&	6	F	V	f	v
0111	7	BEL	Etb	‘	7	G	W	g	w
1000	8	BS	Can	(	8	H	X	h	x
1001	9	HT	Em	)	9	I	Y	i	y
1010	A	LF	Sub	*	:	J	Z	j	z
1011	B	VT	Esc	+	;	K	[	k	{
1100	C	FF	FS	,	<	L	\	l	
1101	D	CR	GS	-	=	M	]	m	}
1110	E	SO	RS	.	>	N	^	n	~
1111	F	SI	US	/	?	O	-	o	DEL

BCD- Binary Coded Decimal

Decimal	5421	5311	4221	3321	2421	8421	7421
0	0000	0000	0000	0000	0000	0000	0000
1	0001	0001	0001	0001	0001	0001	0001
2	0010	0011	0010	0010	0010	0010	0010
3	0011	0100	0011	0011	0011	0011	0011
4	0100	0101	1000	0101	0100	0100	0100
5	1000	1000	0111	1010	1011	0101	0101
6	1001	1001	1100	1100	1100	0110	0110
7	1010	1011	1101	1101	1101	0111	1000
8	1011	1100	1110	1110	1110	1000	1001
9	1100	1101	1111	1111	1111	1001	1010