



**KEMENTERIAN PENDIDIKAN TINGGI
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI**

**BAHAGIAN PEPERIKSAAN DAN PENILAIAN
JABATAN PENDIDIKAN POLITEKNIK DAN KOLEJ KOMUNITI
KEMENTERIAN PENDIDIKAN TINGGI**

JABATAN KEJURUTERAAN ELEKTRIKAL

PEPERIKSAAN AKHIR

SESI II : 2025/2026

**DEC50143: CMOS INTEGRATED CIRCUIT DESIGN AND
FABRICATION**

TARIKH : 10 MEI 2026

MASA : 8.30 PAGI – 10.30 PAGI (2 JAM)

Kertas soalan ini mengandungi **TUJUH (7)** halaman bercetak.

Bahagian A: Subjektif (3 soalan)

Bahagian B: Esei (2 soalan)

Dokumen sokongan yang disertakan : Tiada

JANGAN BUKA KERTAS SOALAN INI SEHINGGA DIARAHKAN

(CLO yang tertera hanya sebagai rujukan)

TERBUKA

SECTION A: 60 MARKS**BAHAGIAN A: 60 MARKAH****INSTRUCTION:**

This section consists of **THREE (3)** subjective questions. Answer **ALL** questions.

ARAHAN:

*Bahagian ini mengandungi **TIGA (3)** soalan subjektif. Jawab **SEMUA** soalan.*

QUESTION 1**SOALAN 1**

CLO1

- (a) Integrated circuit (IC) packaging type based on printed circuit board (PCB) assembly are through hole technology (THT) and surface mount technology (SMT). Give **THREE (3)** comparison between through hole technology and surface mount technology.

Jenis pembungkusan litar bersepadu (IC) berdasarkan pemasangan papan litar bercetak (PCB) adalah teknologi melalui lubang (THT) dan teknologi lekap permukaan (SMT). Berikan TIGA (3) perbandingan antara teknologi melalui lubang dan teknologi lekap permukaan.

[6 marks]

[6 markah]

CLO1

- (b) Based on the fabrication method, integrated circuits are classified as monolithic, film, or hybrid. Compare film and hybrid in terms of substrate materials, types of components on chip, interconnection method and size.

Berdasarkan kaedah fabrikasi, litar bersepadu dikelaskan sebagai monolitik, filem, atau hibrid. Bandingkan filem dan hibrid dari segi bahan substrat, jenis komponen pada cip, kaedah penyambungan dan saiz.

[7 marks]

[7 markah]

TERBUKA

- CLO1 (c) Explain the process involved in transforming a silicon ingot into a silicon wafer used in semiconductor manufacturing.
Terangkan proses yang terlibat dalam mengubah ingot silikon kepada wafer silikon yang digunakan dalam pembuatan semikonduktor.
- [7 marks]
[7 markah]

QUESTION 2**SOALAN 2**

- CLO1 (a) Explain **TWO** (2) types of oxidation process.
Terangkan DUA (2) jenis proses pengoksidaan.
- [6 marks]
[6 markah]
- CLO1 (b) Interpret the non-destructive test (NDT) and destructive test in integrated circuit failure analysis.
Tafsirkan ujian tidak musnah (NDT) dan ujian musnah dalam analisis kegagalan litar bersepadu.
- [6 marks]
[6 markah]
- CLO1 (c) Draw a CMOS circuit that implements the logic function shown in Table A2(c).
Lukiskan litar CMOS yang melaksanakan fungsi logik yang ditunjukkan dalam Jadual A2(c).

TERBUKA

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

Table A2(c) / Jadual A2(c)

[8 marks]

[8 markah]

QUESTION 3**SOALAN 3**

- CLO1 (a) Based on Programmable Logic Device (PLD) in Figure A3(a), express the output equation of f1 and f2 for given circuit.
- Berdasarkan Programmable Logic Design (PLD) dalam Rajah A3(a), nyatakan persamaan keluaran bagi f1 dan f2 untuk litar yang diberikan.*

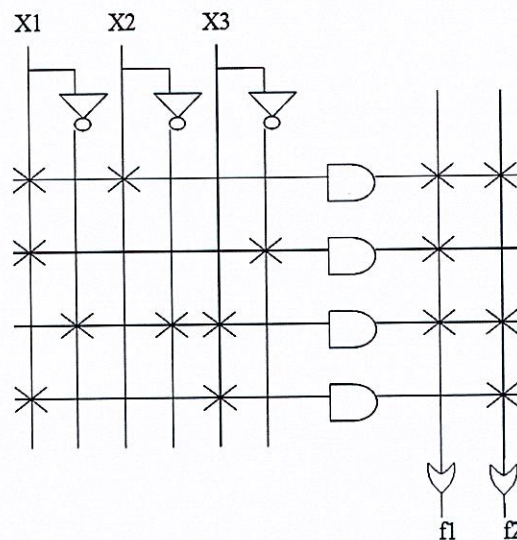


Figure A3(a) / Rajah A3(a)

[6 marks]

TERBUKA

[6 markah]

- CLO1 (b) Sketch an architecture of Programmable Read Only Memories (PROM) based on PLD using the following functions:
Lakarkan seni bina Ingatan Baca Sahaja Boleh Atur Cara (PROM) berdasarkan PLD menggunakan fungsi berikut:
- $$F_1 = A\bar{B}C + \bar{A}\bar{C}$$
- $$F_2 = \bar{A}\bar{B}C + A\bar{B}C$$
- $$F_3 = \bar{A}C + \bar{A}\bar{C}$$
- [7 marks]
[7 markah]

- CLO1 (c) Draw the complementary CMOS logic circuit based on complex Boolean function below:
Lukiskan litar logik pelengkap CMOS berdasarkan fungsi kompleks Boolean di bawah:

$$Z = \overline{A + B \bullet C + D}$$

[7 marks]

TERBUKA

[7 markah]

SECTION B: 40 MARKS**BAHAGIAN B: 40 MARKAH****INSTRUCTION:**

This section consists of **TWO (2)** essay questions. Answer **ALL** questions.

ARAHAN:

Bahagian ini mengandungi DUA (2) soalan esei. Jawab SEMUA soalan.

CLO1 **QUESTION 1****SOALAN 1**

Draw a static CMOS logic circuit that implement the following logic function, complete with improvement of size and switching speeds using the dynamic CMOS logic.

Lukiskan litar logik CMOS statik yang melaksanakan fungsi logik berikut, lengkap dengan penambahbaikan dari segi saiz dan kelajuan pensuisan menggunakan logik CMOS dinamik.

$$F = \overline{A(B + CD)}$$

[20 marks]

TERBUKA

[20 markah]

CLO1

QUESTION 2**SOALAN 2**

As an IC design engineer, you are requested by a customer to design a static CMOS stick diagram for a 2-input XOR gate using the Euler path approach, with Pull-Up Network (PUN) and Pull-Down Network (PDN) derived from the XOR truth table.

Sebagai seorang jurutera reka bentuk IC, anda diminta oleh pelanggan untuk mereka bentuk rajah kayu (stick diagram) bagi litar logik CMOS statik untuk pintu XOR 2-input. Reka bentuk ini mestilah berdasarkan rangkaian PUN (Pull-Up Network) dan PDN (Pull-Down Network) yang diterbitkan daripada jadual kebenaran pintu XOR dengan menggunakan pendekatan laluan Euler.



[20 marks]

[20 markah]

SOALAN TAMAT